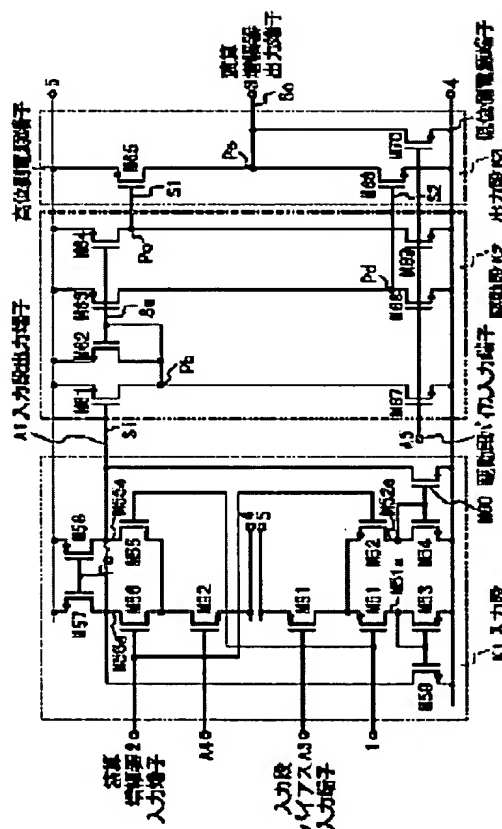


OPERATIONAL AMPLIFIER

Patent number: JP2000252768
Publication date: 2000-09-14
Inventor: KATO FUMIHIKO
Applicant: NEC CORP
Classification:
 - international: H03F3/30; H03F3/345; H03F3/45
 - european:
Application number: JP19990239303 19990826
Priority number(s):

Abstract of JP2000252768

PROBLEM TO BE SOLVED: To obtain an operational amplifier that ensures stable operations such as minimizing production of an overshoot and an undershoot.
SOLUTION: The operational amplifier is provided with output stage sections K2, K3 that output an output signal So in response to an input signal Si. The output stage sections K2, K3 have a plurality of output stage transistors(TRs) M65, M66 that conduct a push-pull operation in response to a plurality of specific signals S1, S2 generated on the basis of the input signal and generate an output signal as a result of the push-pull operation, and a plurality of the specific signals are generated as signals whose delay time up to be inputted to a plurality of the output stage transistors(TRs) M65, M66 is the same.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252768

(P2000-252768A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 3 F 3/30

H 0 3 F 3/30

5 J 0 6 6

3/345

3/345

B 5 J 0 9 1

3/45

3/45

A

審査請求 有 請求項の数36 O L (全 30 頁)

(21) 出願番号

特願平11-239303

(22) 出願日

平成11年8月26日 (1999.8.26)

(31) 優先権主張番号

特願平10-374199

(32) 優先日

平成10年12月28日 (1998.12.28)

(33) 優先権主張国

日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 文彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

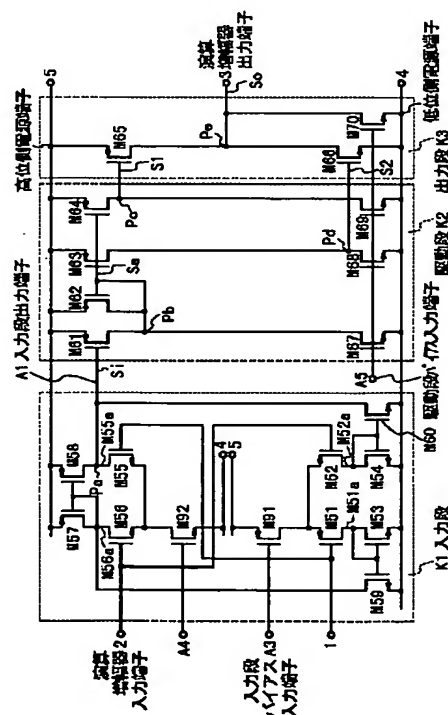
最終頁に続く

(54) 【発明の名称】 演算増幅器

(57) 【要約】

【課題】 オーバーシュートやアンダーシュートの発生を最小限に抑えることができる等の、安定した動作が行われる演算増幅器を提供する。

【解決手段】 入力信号 S_i に応答して出力信号 S_o を出力する出力段部 K2、K3 を備えた演算増幅器であって、前記出力段部は、前記入力信号に基づいて生成される複数の特定信号 S_1 、 S_2 のそれぞれに応答してプッシュプル (push-pull) 動作を行い、前記プッシュプル動作の結果として前記出力信号を生成する複数の出力段トランジスタ M65、M66 を有し、前記複数の特定信号は、前記複数の出力段トランジスタのそれぞれに入力されるまでの遅延時間が同じ信号として生成される。



1

【特許請求の範囲】

【請求項 1】 入力信号にตอบสนองして出力信号を出力する出力段部を備えた演算増幅器であって、前記出力段部は、前記入力信号に基づいて生成される複数の特定信号のそれぞれにตอบสนองしてプッシュプル（push-pull）動作を行い、前記プッシュプル動作の結果として前記出力信号を生成する複数の出力段トランジスタを有し、

前記複数の特定信号は、前記複数の出力段トランジスタのそれぞれに入力されるまでの遅延時間が実質的に同じ信号として生成される演算増幅器。

【請求項 2】 請求項 1 記載の演算増幅器において、前記複数の特定信号は、第 1 の特定信号と、第 2 の特定信号とを備え、前記第 1 および前記第 2 の特定信号のそれぞれは、前記入力信号を増幅する 1 段または 2 段以上の生成トランジスタによって生成され、前記第 1 の特定信号を生成する前記生成トランジスタの段数と、前記第 2 の特定信号を生成する前記生成トランジスタの段数は、同じである演算増幅器。

【請求項 3】 請求項 1 または 2 に記載の演算増幅器において、前記複数の特定信号のそれぞれは、前記入力信号が増幅されて生成され、前記入力信号を基準にしたときの増幅率は互いに同じである演算増幅器。

【請求項 4】 請求項 2 記載の演算増幅器において、更に、前記生成トランジスタのそれぞれに接続された定電流源を備えた演算増幅器。

【請求項 5】 請求項 2 記載の演算増幅器において、前記生成トランジスタのそれぞれは、トランジスタサイズの比が所定の値に設定され、更に、

前記生成トランジスタのそれぞれに接続された定電流源を備えた演算増幅器。

【請求項 6】 請求項 1 から 5 のいずれかに記載の演算増幅器において、前記複数の特定信号は、第 1 の特定信号と、第 2 の特定信号とを備え、前記第 1 および前記第 2 の特定信号のそれぞれは、前記入力信号を増幅する 1 段または 2 段以上の生成トランジスタによって生成され、更に、前記第 1 および前記第 2 の特定信号のいずれかを生成する前記生成トランジスタに接続されるとともに、前記複数の出力段トランジスタのいずれかに対して電流ミラー接続される供給トランジスタを備えた演算増幅器。

【請求項 7】 請求項 5 記載の演算増幅器において、更に、前記定電流源のうちの少なくとも一部の前記定電流源お

2

よび、前記複数の出力段トランジスタのうちの少なくとも一部の前記出力段トランジスタが高抵抗状態または OFF 状態となったときに、前記出力段部にアイドル電流を流すための手段を備えた演算増幅器。

【請求項 8】 請求項 1 から 5 のいずれかに記載の演算増幅器において、

更に、前記複数の出力段トランジスタの少なくともいずれか一方にアイドル電流を流すための定電流源を備えた演算増幅器。

【請求項 9】 請求項 1 から 5 のいずれかに記載の演算増幅器において、

前記出力信号は、前記演算増幅器の入力側にフィードバックされ、

更に、前記出力信号の生成が停止されるのを阻止する手段を備えた演算増幅器。

【請求項 10】 請求項 1 から 5 のいずれかに記載の演算増幅器において、

更に、前記複数の出力段トランジスタの全てが同時に高抵抗状態または OFF 状態になることを阻止する手段を備えた演算増幅器。

【請求項 11】 請求項 1 から 5 のいずれかに記載の演算増幅器において、

更に、前記複数の出力段トランジスタの少なくともいずれか一方に並列接続された定電流源を備えた演算増幅器。

【請求項 12】 請求項 1 から 5 のいずれかに記載の演算増幅器において、

前記複数の出力段トランジスタの少なくともいずれか一方に流れるアイドル電流の値を設定する手段を備えた演算増幅器。

【請求項 13】 入力段部と、前記入力段部から出力された入力段出力信号にตอบสนองして出力信号を出力する出力段部とを備え、

前記出力段部は、前記入力段出力信号に基づいて生成される複数の特定信号のそれぞれにตอบสนองしてプッシュプル（push-pull）動作を行い、前記プッシュプル動作の結果として前記出力信号を生成する複数の出力段トランジスタを有し、

前記複数の特定信号は、前記複数の出力段トランジスタのそれぞれに入力されるまでの遅延時間が同じ信号として生成される演算増幅器。

【請求項 14】 請求項 13 記載の演算増幅器において、

前記入力段部は、複数の入力段入力信号に基づいて前記入力段出力信号を出力する演算増幅器。

【請求項 15】 請求項 1 から 12 のいずれかに記載の演算増幅器において、

前記出力段は、

前記入力信号に基づいて前記複数の特定信号を生成する
特定信号生成段と、

前記複数の出力段トランジスタを有する出力段とを備え
ている演算増幅器。

【請求項 16】 請求項 15 記載の演算増幅器におい
て、

前記特定信号生成段は、

前記入力信号が入力される制御電極を有し、第 1 の電源
端子と第 2 の電源端子との間に接続された第 1 のトラン
ジスタと、

前記第 1 の電源端子と前記第 2 の電源端子との間に前記
第 1 のトランジスタと直列に接続された第 1 の定電流源
と、

前記第 1 のトランジスタと前記第 1 の定電流源との接続
点に制御電極が接続され前記第 1 のトランジスタと前記
第 1 の定電流源との接続点と前記第 2 の電源端子との間
に接続された第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 1 の定電流源との接続
点に制御電極が接続され前記第 1 の電源端子と前記第 2
の電源端子との間に接続された第 3 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記
第 3 のトランジスタと直列に接続された第 2 の定電流源
と、

前記第 1 のトランジスタと前記第 1 の定電流源との接続
点に制御電極が接続され前記第 1 の電源端子と前記第 2
の電源端子との間に接続された第 4 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記
第 4 のトランジスタと直列に接続された第 3 の定電流源
とを備えている演算増幅器。

【請求項 17】 請求項 16 記載の演算増幅器におい
て、

前記出力段は、

前記第 1 の電源端子と前記第 2 の電源端子との間に直列
に接続され、制御電極が、前記第 4 のトランジスタと前
記第 3 の定電流源との接続点と、前記第 3 のトランジス
タと前記第 2 の定電流源との接続点と、にそれぞれ接続
された第 1、第 2 の前記出力段トランジスタとを備え、
前記第 1 および前記第 2 の出力段トランジスタの接続点
が前記出力信号が出力される出力端子に接続されている
演算増幅器。

【請求項 18】 請求項 17 記載の演算増幅器におい
て、

前記出力段は、

更に、

前記第 1 および前記第 2 の出力段トランジスタの前記接
続点と、前記第 1 の電源端子との間に接続された第 4 の
定電流源を備えた演算増幅器。

【請求項 19】 請求項 18 記載の演算増幅器におい
て、

前記出力段は、

更に、

前記第 1 および前記第 2 の出力段トランジスタの前記接
続点と、前記第 2 の電源端子との間に接続された第 5 の
定電流源を備えた演算増幅器。

【請求項 20】 請求項 15 記載の演算増幅器におい
て、

前記特定信号生成段は、

前記入力信号が入力される制御電極を有し、第 1 電極が
第 2 の電源端子に接続された第 1 のトランジスタと、

前記第 1 のトランジスタの第 2 電極を入力端に接続した
第 1 の電流ミラー回路と、

前記第 1 の電流ミラー回路の出力端と前記第 2 の電源端
子との間に接続された第 1 の定電流源と、

前記第 1 の電流ミラー回路の前記入力端を制御電極に接
続し、前記第 1 の電源端子と前記第 2 の電源端子との間
に接続された第 2 のトランジスタと、

前記第 1 の電源端子と前記第 2 の電源端子との間に前記
第 2 のトランジスタと直列に接続された第 2 の定電流源
とを備えた演算増幅器。

【請求項 21】 請求項 20 記載の演算増幅器におい
て、

前記出力段は、

前記第 1 の電源端子と前記第 2 の電源端子との間に直列
に接続され、制御電極が、前記第 2 の定電流源と前記第
2 のトランジスタとの接続点と、前記第 1 の電流ミラー
回路の出力端と、にそれぞれ接続された第 1、第 2 の前
記出力段トランジスタとを備え、

前記第 1 および前記第 2 の出力段トランジスタの接続点
が前記出力信号が出力される出力端子に接続されている
演算増幅器。

【請求項 22】 請求項 21 記載の演算増幅器におい
て、

前記出力段は、

更に、

前記第 1 および前記第 2 の出力段トランジスタの前記接
続点と、前記第 1 の電源端子との間に接続された第 3 の
定電流源を備えた演算増幅器。

【請求項 23】 請求項 22 記載の演算増幅器におい
て、

前記出力段は、

更に、

前記第 1 および前記第 2 の出力段トランジスタの前記接
続点と、前記第 2 の電源端子との間に接続された第 4 の
定電流源を備えた演算増幅器。

【請求項 24】 第 1、第 2 の入力端子に制御電極がそ
れぞれ接続され互いに逆導電型の第 1、第 2 の差動トラ
ンジスタ対と、

前記第 1、第 2 の差動トランジスタ対にそれぞれ接続さ
れた第 1、第 2 の定電流源と、

5

前記第 1 の差動トランジスタ対の一の出力端および前記第 2 の差動トランジスタ対の他の出力端と第 1 の電源端子との間に接続された第 1 の電流ミラー回路と、
 前記第 1 の差動トランジスタ対の他の出力端および前記第 2 の差動トランジスタ対の他の出力端と前記第 1 の電源端子との間に接続された第 2 の電流ミラー回路と、
 前記第 2 の差動トランジスタ対と第 2 の電源端子との間に接続された負荷回路と、
 前記第 2 の差動トランジスタ対の前記他の出力端と前記負荷回路との接続点に制御電極が接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 1 のトランジスタと、
 前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 1 のトランジスタと直列に接続された第 3 の定電流源と、
 前記第 1 のトランジスタと前記第 3 の定電流源との接続点に制御電極が接続され前記第 1 のトランジスタと前記第 3 の定電流源との接続点と前記第 2 の電源端子との間に接続された第 2 のトランジスタと、
 前記第 1 のトランジスタと前記第 3 の定電流源との接続点に制御電極が接続され前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 3 のトランジスタと、
 前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタと直列に接続された第 4 の定電流源と、
 前記第 1 のトランジスタと前記第 3 の定電流源との接続点に制御電極が接続され前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 4 のトランジスタと、
 前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 4 のトランジスタと直列に接続された第 5 の定電流源と、
 前記第 1 の電源端子と前記第 2 の電源端子との間に直列に接続され、制御電極が、前記第 4 のトランジスタと前記第 5 の定電流源との接続点と、前記第 3 のトランジスタと前記第 4 の定電流源との接続点と、にそれぞれ接続された第 1、第 2 の出力トランジスタとを備え、
 前記第 1 および前記第 2 の出力トランジスタの接続点が出力端子に接続されている演算増幅器。

【請求項 25】 請求項 24 記載の演算増幅器において、
 更に、
 前記第 1 および前記第 2 の出力トランジスタの接続点と、前記第 1 の電源端子との間に接続された第 6 の定電流源を備えた演算増幅器。
 【請求項 26】 請求項 25 記載の演算増幅器において、
 前記第 3 から前記第 6 の定電流源は、それぞれ、定電流源用トランジスタからなり、
 前記定電流源用トランジスタのそれぞれの制御電極は、互いに等しいバイアス電圧が印加される演算増幅器。

6

【請求項 27】 請求項 26 記載の演算増幅器において、
 更に、

前記第 1 および前記第 2 の出力トランジスタの接続点と、前記第 2 の電源端子との間に接続された第 7 の定電流源を備えた演算増幅器。

【請求項 28】 第 1、第 2 の入力端子に制御電極がそれぞれ接続され互いに逆導電型の第 1、第 2 の差動トランジスタ対と、

10 前記第 1、第 2 の差動トランジスタ対にそれぞれ接続された第 1、第 2 の定電流源と、

前記第 1 の差動トランジスタ対の一の出力端および前記第 2 の差動トランジスタ対の他の出力端と第 1 の電源端子との間に接続された第 1 の電流ミラー回路と、

前記第 1 の差動トランジスタ対の他の出力端および前記第 2 の差動トランジスタ対の他の出力端と前記第 1 の電源端子との間に接続された第 2 の電流ミラー回路と、

前記第 2 の差動トランジスタ対と第 2 の電源端子との間に接続された負荷回路と、

20 前記第 2 の差動トランジスタ対の前記他の出力端と前記負荷回路との接続点に制御電極が接続され、第 1 電極が前記第 2 の電源端子に接続された第 1 のトランジスタと、

前記第 1 のトランジスタの第 2 電極を入力端に接続した第 3 の電流ミラー回路と、

前記第 3 の電流ミラー回路の出力端と前記第 2 の電源端子との間に接続された第 3 の定電流源と、

前記第 3 の電流ミラー回路の前記入力端を制御電極に接続し、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 2 のトランジスタと、

30 前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 2 のトランジスタと直列に接続された第 4 の定電流源と、

前記第 1 の電源端子と前記第 2 の電源端子との間に直列に接続され、制御電極が、前記第 4 の定電流源と前記第 2 のトランジスタとの接続点と、前記第 3 の電流ミラー回路の出力端と、にそれぞれ接続された第 1、第 2 の出力トランジスタとを備え、

前記第 1 および前記第 2 の出力トランジスタの接続点が出力端子に接続されている演算増幅器。
 40

【請求項 29】 請求項 28 記載の演算増幅器において、
 更に、

前記第 1 および前記第 2 の出力トランジスタの接続点と、前記第 1 の電源端子との間に接続された第 5 の定電流源を備えた演算増幅器。

【請求項 30】 請求項 29 記載の演算増幅器において、
 更に、

50 前記第 1 および前記第 2 の出力トランジスタの接続点

と、前記第 2 の電源端子との間に接続された第 6 の定電流源を備えた演算増幅器。

【請求項 3 1】 請求項 1 5 記載の演算増幅器において、
前記特定信号生成段は、
前記入力信号が入力される制御電極を有し、第 1 の電源端子と第 2 の電源端子との間に接続された第 1 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 1 のトランジスタと直列に接続された第 1 の定電流源と、
前記第 1 のトランジスタと前記第 1 の定電流源との接続点に制御電極が接続され前記第 1 のトランジスタと前記第 1 の定電流源との接続点と前記第 2 の電源端子との間に接続された第 2 のトランジスタと、
前記第 1 のトランジスタと前記第 1 の定電流源との接続点に制御電極が接続され前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 3 のトランジスタと、
前記第 3 のトランジスタに制御電極が接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタと直列に接続された第 4 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタおよび前記第 4 のトランジスタと直列に接続された第 2 の定電流源と、
前記第 1 のトランジスタと前記第 1 の定電流源との接続点に制御電極が接続され前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 5 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 5 のトランジスタと直列に接続された第 3 の定電流源とを備えている演算増幅器。

【請求項 3 2】 請求項 3 1 記載の演算増幅器において、
前記出力段は、
前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、制御電極が、前記第 5 のトランジスタと前記第 3 の定電流源との接続点に接続された第 1 の前記出力段トランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、前記第 4 のトランジスタと電流ミラー接続された第 2 の前記出力段トランジスタとを備え、
前記第 1 および前記第 2 の出力段トランジスタの接続点が前記出力信号が出力される出力端子に接続されている演算増幅器。

【請求項 3 3】 請求項 1 4 記載の演算増幅器において、
前記特定信号生成段は、
前記入力信号が入力される制御電極を有し、第 1 電極が第 2 の電源端子に接続された第 1 のトランジスタと、
前記第 1 のトランジスタの第 2 電極を入力端に接続した

第 1 の電流ミラー回路と、
前記第 1 の電流ミラー回路の出力端に制御電極が接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 2 のトランジスタと、
前記第 2 のトランジスタと直列に接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 1 の定電流源と、
前記第 1 の電流ミラー回路の前記入力端を制御電極に接続し、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 3 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタと直列に接続された第 2 の定電流源とを備えている演算増幅器。

【請求項 3 4】 請求項 3 3 記載の演算増幅器において、
前記出力段は、
前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、制御電極が、前記第 3 のトランジスタと前記第 2 の定電流源との接続点に接続された第 1 の前記出力段トランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、前記第 2 のトランジスタと電流ミラー接続された第 2 の前記出力段トランジスタとを備え、
前記第 1 および前記第 2 の出力段トランジスタの接続点の前記出力信号が出力される出力端子に接続されている演算増幅器。

【請求項 3 5】 第 1、第 2 の入力端子に制御電極がそれぞれ接続され互いに逆導電型の第 1、第 2 の差動トランジスタ対と、
前記第 1、第 2 の差動トランジスタ対にそれぞれ接続された第 1、第 2 の定電流源と、
前記第 1 の差動トランジスタ対の一の出力端および前記第 2 の差動トランジスタ対の一の出力端と第 1 の電源端子との間に接続された第 1 の電流ミラー回路と、
前記第 1 の差動トランジスタ対の他の出力端および前記第 2 の差動トランジスタ対の他の出力端と前記第 1 の電源端子との間に接続された第 2 の電流ミラー回路と、
前記第 2 の差動トランジスタ対と第 2 の電源端子との間に接続された負荷回路と、
前記第 2 の差動トランジスタ対の前記他の出力端と前記負荷回路との接続点に制御電極が接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 1 のトランジスタと、
前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 1 のトランジスタと直列に接続された第 3 の定電流源と、
前記第 1 のトランジスタと前記第 3 の定電流源との接続点に制御電極が接続され前記第 1 のトランジスタと前記第 3 の定電流源との接続点と前記第 2 の電源端子との間に接続された第 2 のトランジスタと、

10

20

30

40

50

前記第 1 のトランジスタと前記第 3 の定電流源との接続点に制御電極が接続され前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 3 のトランジスタと、前記第 3 のトランジスタに制御電極が接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタと直列に接続された第 4 のトランジスタと、

前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタおよび前記第 4 のトランジスタと直列に接続された第 4 の定電流源と、

前記第 1 のトランジスタと前記第 3 の定電流源との接続点に制御電極が接続され前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 5 のトランジスタと、前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 5 のトランジスタと直列に接続された第 5 の定電流源と、

前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、制御電極が、前記第 5 のトランジスタと前記第 5 の定電流源との接続点に接続された第 1 の出力段トランジスタと、

前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、前記第 4 のトランジスタと電流ミラー接続された第 2 の出力段トランジスタとを備え、

前記第 1 および前記第 2 の出力段トランジスタの接続点が出力端子に接続されている演算増幅器。

【請求項 36】 第 1、第 2 の入力端子に制御電極がそれぞれ接続され互いに逆導電型の第 1、第 2 の差動トランジスタ対と、

前記第 1、第 2 の差動トランジスタ対にそれぞれ接続された第 1、第 2 の定電流源と、

前記第 1 の差動トランジスタ対の一の出力端および前記第 2 の差動トランジスタ対の一の出力端と第 1 の電源端子との間に接続された第 1 の電流ミラー回路と、

前記第 1 の差動トランジスタ対の他の出力端および前記第 2 の差動トランジスタ対の他の出力端と前記第 1 の電源端子との間に接続された第 2 の電流ミラー回路と、前記第 2 の差動トランジスタ対と第 2 の電源端子との間に接続された負荷回路と、

前記第 2 の差動トランジスタ対の前記他の出力端と前記負荷回路との接続点に制御電極が接続され、第 1 電極が前記第 2 の電源端子に接続された第 1 のトランジスタと、

前記第 1 のトランジスタの第 2 電極を入力端に接続した第 3 の電流ミラー回路と、

前記第 3 の電流ミラー回路の出力端に制御電極が接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 2 のトランジスタと、

前記第 2 のトランジスタと直列に接続され、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 3 の定電流源と、

前記第 3 の電流ミラー回路の前記入力端を制御電極に接続し、前記第 1 の電源端子と前記第 2 の電源端子との間に接続された第 3 のトランジスタと、

前記第 1 の電源端子と前記第 2 の電源端子との間に前記第 3 のトランジスタと直列に接続された第 4 の定電流源と、

前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、制御電極が、前記第 3 のトランジスタと前記第 4 の定電流源との接続点に接続された第 1 の出力段トランジスタと、

前記第 1 の電源端子と前記第 2 の電源端子との間に接続され、前記第 2 のトランジスタと電流ミラー接続された第 2 の出力段トランジスタとを備え、

前記第 1 および前記第 2 の出力段トランジスタの接続点が出力端子に接続されている演算増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、演算増幅器に関し、特に、オーバershootやアンダershootの発生を最小限に抑制可能な演算増幅器に関する。

【0002】

【従来の技術】従来、広レンジの入出力が可能で、かつ大きな負荷を駆動するための演算増幅器として、本発明者が特開平 9-93055 号公報に開示している技術がある。

【0003】図 10 を参照して、特開平 9-93055 号公報に開示した演算増幅器について説明する。

【0004】演算増幅器は、入力段 K1 と、駆動段 K2 と、出力段 K3 とを備えている。

【0005】まず、演算増幅器の入力段 K1 の構成について説明する。

【0006】演算増幅器の入力段 K1 は、P チャネル FET (電界効果トランジスタ) M1, M2 と、N チャネル FET M5, M6 と、定電流源用 P チャネル FET M41 と、定電流源用 N チャネル FET M42 と、N チャネル FET M3, M9 と、N チャネル FET M4, M10 と、P チャネル FET M7, M8 とを備えている。

【0007】P チャネル FET M1, M2 は、ソースが共通に接続され、ゲートがそれぞれ信号入力端子 1, 2 に接続され、差動対を構成している。N チャネル FET M5, M6 は、ソースが共通に接続され、ゲートがそれぞれ信号入力端子 1, 2 に接続され、差動対を構成している。

【0008】定電流源用 P チャネル FET M41 は、P チャネル FET M1, M2 の共通接続されたソースと高位側電源端子 5 との間に接続されている。定電流源用 N チャネル FET M42 は、N チャネル FET M5, M6 の共通接続されたソースと低位側電源端子 4 との間に接続されている。

【0009】NチャネルFET M3は、そのゲートおよびドレインがPチャネルFET M1のドレインと接続されるとともに、そのソースが低位側電源端子4に接続されている。NチャネルFET M9は、そのドレインがNチャネルFET M6のドレインとPチャネルFET M7のドレインとの接続点に接続されるとともに、そのソースが低位側電源端子4に接続されている。NチャネルFET M3と、NチャネルFET M9とは、第1の電流ミラー回路を構成している。

【0010】NチャネルFET M4は、そのドレインおよびゲートがPチャネルFET M2のドレインと接続されるとともに、そのソースが低位側電源端子4に接続されている。NチャネルFET M10は、そのドレインがNチャネルFET M5のドレインとPチャネルFET M8のドレインとの接続点に接続されるとともに、そのソースが低位側電源端子4に接続されている。NチャネルFET M4と、NチャネルFET M10とは、第2の電流ミラー回路を構成している。

【0011】PチャネルFET M7、M8は、NチャネルFET M5、M6のドレインと高位側電源端子5との間に接続されている。PチャネルFET M7、M8は、能動負荷として作用する電流ミラー回路を構成している。

【0012】次に、演算増幅器の駆動段K2の構成について説明する。

【0013】演算増幅器の駆動段K2は、PチャネルFET M20、M21、M22と、定電流源用NチャネルFET M43、M44とを備えている。

【0014】定電流源用NチャネルFET M43、M44は、ともにそのソースが低位側電源端子4に接続されている。定電流源用NチャネルFET M43、M44は、ともに電流吸い込み型である。

【0015】PチャネルFET M20は、そのソースが高位側電源端子5に接続され、そのゲートがNチャネルFET M5のドレインとPチャネルFET M8のドレインとの接続点に接続され、そのドレインが定電流源用NチャネルFET M43のドレインに接続されている。PチャネルFET M21は、そのソースが高位側電源端子5に接続され、そのゲートがPチャネルFET M20のドレインに接続され、そのドレインがPチャネルFET M22のゲートと接続されている。PチャネルFET M22は、そのソースが高位側電源端子5に接続され、そのゲートがPチャネルFET M20のドレインとPチャネルFET M21のドレインとの接続点に接続され、そのドレインが定電流源用NチャネルFET M44のドレインに接続されている。

【0016】次に、演算増幅器の出力段K3の構成について説明する。

【0017】演算増幅器の出力段K3は、PチャネルFET M23と、NチャネルFET M24とを備えてい

る。

【0018】PチャネルFET M23は、そのソースが高位側電源端子5に接続され、そのゲートがNチャネルFET M5のドレインとPチャネルFET M8のドレインとの接続点に接続され、そのドレインが出力信号端子3に接続されている。NチャネルFET M24は、そのソースが低位側電源端子4に接続され、そのゲートがPチャネルFET M22のドレインと定電流源用NチャネルFET M44のドレインとの接続点に接続され、そのドレインが出力信号端子3に接続されている。

【0019】次に、図10に示す演算増幅器の動作について説明する。

【0020】図10に示す演算増幅器では、PチャネルFET M1、M2からなる差動トランジスタ対と、NチャネルFET M5、M6からなる差動トランジスタ対とを並列に接続することにより、広入力レンジの入力段K1となっている。

【0021】信号入力端子1、2に、それぞれ、印加される信号電圧の割合に応じて、PチャネルFET M23のゲート電圧を変化させる。また、PチャネルFET M20、21、22を介した信号は、NチャネルFET M24のゲート電圧を変化させる。PチャネルFET M23およびNチャネルFET M24の、それぞれのゲート電圧の変化分によって、出力信号端子3の電位を速やかに上昇、あるいは下降させる。

【0022】まず、信号入力端子2よりも信号入力端子1に印加される電圧が高い場合について説明する。

【0023】NチャネルFET M5のドレイン、PチャネルFET M8のドレインおよびNチャネルFET M10のドレインとの接続点の電圧、すなわち、PチャネルFET M20、M23のゲート電圧は、低くなる。

【0024】このとき、PチャネルFET M23を通り、高位側電源端子5から出力信号端子3に流れる電流は、大きくなる。また、このとき、PチャネルFET M20のドレインと定電流源用NチャネルFET M43のドレインとの接続点、すなわち、PチャネルFET M21のゲート電圧およびPチャネルFET M22のゲート電圧は高くなる。

【0025】すると、PチャネルFET M22のドレインと定電流源用NチャネルFET M44のドレインとの接続点、すなわちNチャネルFET M24のゲート電圧は低くなる。

【0026】このとき、NチャネルFET M24を通り出力信号端子3から低位側電源端子4に流れる電流は、非常に小さくなる。すなわち、NチャネルFET M24を流れる電流は遮断されている状態であるから、高位側電源端子5からPチャネルFET M23を流れる電流は出力信号端子3に流れることにより、出力信号

10

20

30

40

50

端子 3 の電位を速やかに上昇させることができる（充電時）。

【0027】一方、信号入力端子 2 よりも信号入力端子 1 に印加される電圧が低い場合について説明する。

【0028】NチャネルFET M5のドレイン、PチャネルFET M8のドレインおよびNチャネルFET M10のドレインとの接続点の電圧、すなわち、PチャネルFET M20、M23のゲート電圧は、高くなる。

【0029】このとき、PチャネルFET M23を通り、高位側電源端子 5 から出力信号端子 3 に流れる電流は、非常に小さくなる。これと同時に、PチャネルFET M20のドレインと定電流源用NチャネルFET M43のドレインとの接続点、すなわち、PチャネルFET M21のゲート電圧およびPチャネルFET M22のゲート電圧は低くなる。

【0030】すると、PチャネルFET M22のドレインと定電流源用NチャネルFET M44のドレインとの接続点、すなわちNチャネルFET M24のゲート電圧は高くなる。

【0031】このとき、NチャネルFET M24を通り出力信号端子 3 から低位側電源端子 4 に流れる電流は、大きくなる。このとき、PチャネルFET M23を通り高位側電源端子 5 から出力信号端子 3 に流れる電流は遮断される。つまり、NチャネルFET M24を通り出力信号端子 3 から低位側電源端子 4 に大きな電流が流れることにより、出力信号端子 3 の電位を速やかに下降させることができる（放電時）。

【0032】しかも、出力信号端子 3 の電位は、高位側電源端子 5 からのPチャネルFET M23のドレインソース間の電圧分が下がった電位から、低位側電源端子 4 からのNチャネルFET M24のドレインソース間の電圧分が上がった電位まで出力でき、広出力レンジの出力段K3が可能となる。

【0033】また、出力信号端子 3 の電位が下降するとき、PチャネルFET M23のゲート電位およびPチャネルFET M20のゲート電位は共に上がるが、PチャネルFET M20のドレインは、定電流源用NチャネルFET M43と接続されているために、放電電流に応じた貫通電流は流れない。

【0034】なお、平衡状態（出力信号端子 3 の電位が目的の電位になった状態）時にPチャネルFET M23、NチャネルFET M24を流れるアイドリング電流は、PチャネルFET M20、PチャネルFET M23のトランジスタサイズの比、および定電流源用NチャネルFET M43から決まるため、しきい値の変動によるアイドリング電流への影響はない。

【0035】以上のように、図 10 の演算増幅器では、広入力レンジ、広出力レンジが可能で、出力信号端子 3 の電位の上昇、下降を速やかに行うことができ、かつア

イドリング電流がトランジスタのしきい値の絶対的なばらつきに影響されず、また放電時に演算増幅器内部に流れる放電電流に応じた貫通電流の発生を抑えることができる。

【0036】

【発明が解決しようとする課題】従来、図 10 の構成によれば、出力段K3のPチャネルFET M23とNチャネルFET M24とでは、それぞれのトランジスタM23、M24に入力される信号の信号伝達経路が異なるため、入力される信号の増幅率が異なり、また、信号伝達遅延の問題があった。

【0037】すなわち、PチャネルFET M23に対しては、入力段出力端子A1から直接、信号が入力される。これに対し、NチャネルFET M24に対しては、入力段出力端子A1の信号は、PチャネルFET M20、PチャネルFET M21およびPチャネルFET M22を介して入力される。

【0038】したがって、PチャネルFET M23およびNチャネルFET M24のそれぞれで、入力段出力端子A1からの信号の入力タイミングを比較すると、NチャネルFET M24に信号が入力されるタイミングの方が遅れる。

【0039】また、PチャネルFET M23およびNチャネルFET M24のそれぞれに対して、入力される入力段出力端子A1の信号の増幅率を比較すると、NチャネルFET M24に入力される信号の方は、PチャネルFET M20、PチャネルFET M21およびPチャネルFET M22を介して入力される分だけ、PチャネルFET M23に入力される信号に比べて、より大きく増幅されたものとなる。

【0040】特に、充電時は、NチャネルFET M24への信号入力タイミングが遅れ、かつ、信号の増幅率がPチャネルFET M23に入力される信号に比べて大きい分、NチャネルFET M24の遮断状態の解除タイミングが遅れ、その間、NチャネルFET M24に電流が流れないから、オーバーシュート現象を起こし易いという問題があった。

【0041】このように、入力される信号の遅延や増幅率の差に起因して、出力信号端子 3 に出力される波形にオーバーシュート現象やアンダーシュート現象が生じることがあった。

【0042】上記のような演算増幅器を例えば、LCDドライバとして用いる場合、LCDの画素数に応じた複数の演算増幅器が必要とされる。このとき、それぞれの演算増幅器についての、オーバーシュートやアンダーシュートの発生の有無や発生量が異なることにより、LCD画面にムラが生じることがあった。

【0043】本発明は、上記の事情に鑑みてなされたもので、オーバーシュートやアンダーシュートの発生を最小限に抑えることができる等の、安定した動作が行われ

る演算増幅器を提供することを目的としている。

【0044】

【課題を解決するための手段】その課題を解決するための手段が請求項に対応して表現される次の記載中に現れる () つきの数字は、請求項の記載事項が詳しく後述される実施の複数の形態のうちの少なくとも 1 つの形態の部材、工程、動作に対応することを示すが、本発明の解決手段がそれらの数字が示す実施の形態の部材に限定して解釈されるためのものではなく、その対応関係を明白にするためのものである。

【0045】本発明の演算増幅器は、入力信号 (S_i) に応答して出力信号 (S_o) を出力する出力段部 (K₂, K₃) を備えた演算増幅器であって、前記出力段部 (K₂, K₃) は、前記入力信号 (S_i) に基づいて生成される複数の特定信号 (S₁, S₂) のそれぞれに応答してプッシュプル (push-pull) 動作を行い、前記プッシュプル動作の結果として前記出力信号 (S_o) を生成する複数の出力段トランジスタ (M₆₅, M₆₆) を有し、前記複数の特定信号 (S₁, S₂) は、前記複数の出力段トランジスタ (M₆₅, M₆₆) のそれぞれに入力されるまでの遅延時間が実質的に同じ信号として生成されるものである。

【0046】上記本発明の演算増幅器において、前記複数の特定信号 (S₁, S₂) は、第 1 の特定信号 (S₁) と、第 2 の特定信号 (S₂) とを備え、前記第 1 および前記第 2 の特定信号 (S₁, S₂) のそれぞれは、前記入力信号 (S_i) を増幅する 1 段または 2 段以上の生成トランジスタ (M₆₁, M₆₂, M₆₃, M₆₄) によって生成され、前記第 1 の特定信号 (S₁) を生成する前記生成トランジスタ (M₆₁, M₆₂, M₆₄) の段数と、前記第 2 の特定信号 (S₂) を生成する前記生成トランジスタ (M₆₁, M₆₂, M₆₃) の段数は、同じであるものである。

【0047】上記本発明の演算増幅器において、前記複数の特定信号 (S₁, S₂) のそれぞれは、前記入力信号 (S_i) が増幅されて生成され、前記入力信号 (S_i) を基準にしたときの増幅率は互いに同じである。

【0048】上記本発明の演算増幅器において、更に、前記生成トランジスタ (M₆₁, M₆₂, M₆₃, M₆₄) のそれぞれに接続された定電流源 (M₆₇, M₆₈, M₆₉) を備えたものである。

【0049】上記本発明の演算増幅器において、前記生成トランジスタ (M₆₁, M₆₂, M₆₃, M₆₄) のそれぞれは、トランジスタサイズの比が所定の値に設定され、更に、前記生成トランジスタ (M₆₁, M₆₂, M₆₃, M₆₄) のそれぞれに接続された定電流源 (M₆₇, M₆₈, M₆₉) を備えたものである。

【0050】上記本発明の演算増幅器において、前記複数の特定信号 (S₁, S₂) は、第 1 の特定信号 (S₁) と、第 2 の特定信号 (S₂) とを備え、前記第 1 お

よび前記第 2 の特定信号 (S₁, S₂) のそれぞれは、前記入力信号 (S_i) を増幅する 1 段または 2 段以上の生成トランジスタ (M₆₁, M₆₂, M₆₃, M₆₄) によって生成され、更に、前記第 1 および前記第 2 の特定信号 (S₁, S₂) のいずれかを生成する前記生成トランジスタ (M₆₁, M₆₂, M₆₃) に接続されるとともに、前記複数の出力段トランジスタ (M₆₅, M₆₆) のいずれかに対して電流ミラー接続される供給トランジスタ (M₂₀₀) を備えている。

10 【0051】上記本発明の演算増幅器において、更に、前記定電流源 (M₆₇, M₆₈, M₆₉) のうちの少なくとも一部の前記定電流源 (M₆₈) および、前記複数の出力段トランジスタ (M₆₅, M₆₆) のうちの少なくとも一部の前記出力段トランジスタ (M₆₆) が高抵抗状態または OFF 状態となったときに、前記出力段部 (K₂, K₃) にアイドル電流を流すための手段 (M₇₀) を備えたものである。

20 【0052】上記本発明の演算増幅器において、更に、前記複数の出力段トランジスタ (M₆₅, M₆₆) の少なくともいずれか一方にアイドル電流を流すための定電流源 (M₇₀) を備えたものである。

【0053】上記本発明の演算増幅器において、前記出力信号 (S_o) は、前記演算増幅器の入力側にフィードバックされ、更に、前記出力信号 (S_o) の生成が停止されるのを阻止する手段 (M₇₀) を備えたものである。

30 【0054】上記本発明の演算増幅器において、更に、前記複数の出力段トランジスタ (M₆₅, M₆₆) の全てが同時に高抵抗状態または OFF 状態になることを阻止する手段 (M₇₀) を備えたものである。

【0055】上記本発明の演算増幅器において、更に、前記複数の出力段トランジスタ (M₆₅, M₆₆) の少なくともいずれか一方に並列接続された定電流源 (M₇₀) を備えたものである。

【0056】上記本発明の演算増幅器において、前記複数の出力段トランジスタ (M₆₅, M₆₆) の少なくともいずれか一方に流れるアイドル電流の値を設定する手段 (M₇₀) を備えたものである。

40 【0057】本発明の演算増幅器は、入力段部 (K₁) と、前記入力段部 (K₁) から出力された入力段出力信号 (S_i) に応答して出力信号 (S_o) を出力する出力段部 (K₂, K₃) とを備え、前記出力段部 (K₂, K₃) は、前記入力段出力信号 (S_i) に基づいて生成される複数の特定信号 (S₁, S₂) のそれぞれに応答してプッシュプル (push-pull) 動作を行い、前記プッシュプル動作の結果として前記出力信号 (S_o) を生成する複数の出力段トランジスタ (M₆₅, M₆₆) を有し、前記複数の特定信号 (S₁, S₂) は、前記複数の出力段トランジスタ (M₆₅, M₆₆) のそれぞれに入力されるまでの遅延時間が同じ信号として生成

されるものである。

【0058】上記本発明の演算増幅器において、前記入力段部(K1)は、複数の入力段入力信号(1, 2)に基づいて、前記入力段出力信号(Si)を出力するものである。

【0059】本発明の演算増幅器において、前記出力段部(K2, K3)は、前記入力信号(Si)に基づいて前記複数の特定信号(S1, S2)を生成する特定信号生成段(K2)と、前記複数の出力段トランジスタ(M65, M66)を有する出力段(K3)とを備えている。

【0060】上記本発明の演算増幅器において、前記特定信号生成段(K2)は、前記入力信号(Si)が入力される制御電極を有し、第1の電源端子(4)と第2の電源端子(5)との間に接続された第1のトランジスタ(M61)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第1のトランジスタ(M61)と直列に接続された第1の定電流源(M67)と、前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)と前記第2の電源端子(5)との間に接続された第2のトランジスタ(M62)と、前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第3のトランジスタ(M63)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第3のトランジスタ(M63)と直列に接続された第2の定電流源(M68)と、前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第4のトランジスタ(M64)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第4のトランジスタ(M64)と直列に接続された第3の定電流源(M69)とを備えている。

【0061】上記本発明の演算増幅器において、前記出力段(K3)は、前記第1の電源端子(4)と前記第2の電源端子(5)との間に直列に接続され、制御電極が、前記第4のトランジスタ(M64)と前記第3の定電流源(M69)との接続点(Pc)と、前記第3のトランジスタ(M63)と前記第2の定電流源(M68)との接続点(Pd)と、にそれぞれ接続された第1, 第2の前記出力段トランジスタ(M65, M66)とを備え、前記第1および前記第2の出力段トランジスタ(M65, M66)の接続点(Pe)が前記出力信号(So)が出力される出力端子(3)に接続されている。

【0062】上記本発明の演算増幅器において、前記出力段(K3)は、更に、前記第1および前記第2の出力

段トランジスタ(M65, M66)の前記接続点(Pe)と、前記第1の電源端子(4)との間に接続された第4の定電流源(M70, M77)を備えたものである。

【0063】上記本発明の演算増幅器において、前記出力段(K3)は、更に、前記第1および前記第2の出力段トランジスタ(M65, M66)の前記接続点(Pe)と、前記第2の電源端子(5)との間に接続された第5の定電流源(M78)を備えたものである。

【0064】上記本発明の演算増幅器において、前記特定信号生成段(K2)は、前記入力信号(Si)が入力される制御電極を有し、第1電極が第2の電源端子(5)に接続された第1のトランジスタ(M101)と、前記第1のトランジスタ(M101)の第2電極を入力端(Pg)に接続した第1の電流ミラー回路(M102, M103)と、前記第1の電流ミラー回路(M102, M103)の出力端(Ph)と前記第2の電源端子(5)との間に接続された第1の定電流源(M107)と、前記第1の電流ミラー回路(M102, M103)の前記入力端(Pg)を制御電極に接続し、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第2のトランジスタ(M104)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第2のトランジスタ(M104)と直列に接続された第2の定電流源(M106)とを備えたものである。

【0065】上記本発明の演算増幅器において、前記出力段(K3)は、前記第1の電源端子(4)と前記第2の電源端子(5)との間に直列に接続され、制御電極が、前記第2の定電流源(M106)と前記第2のトランジスタ(M104)との接続点(Pj)と、前記第1の電流ミラー回路(M102, M103)の出力端(Ph)と、にそれぞれ接続された第1, 第2の前記出力段トランジスタ(M65, M66)とを備え、前記第1および前記第2の出力段トランジスタ(M65, M66)の接続点(Pk)が前記出力信号(So)が出力される出力端子(3)に接続されている。

【0066】上記本発明の演算増幅器において、前記出力段(K3)は、更に、前記第1および前記第2の出力段トランジスタ(M65, M66)の前記接続点(Pk)と、前記第1の電源端子(4)との間に接続された第3の定電流源(M70, M77)を備えたものである。

【0067】上記本発明の演算増幅器において、前記出力段(K3)は、更に、前記第1および前記第2の出力段トランジスタ(M65, M66)の前記接続点(Pk)と、前記第2の電源端子(5)との間に接続された第4の定電流源(M78)を備えたものである。

【0068】本発明の演算増幅器は、第1, 第2の入力端子(1, 2)に制御電極がそれぞれ接続され互いに逆

導電型の第1、第2の差動トランジスタ対(M51, M52, M55, M56)と、前記第1、第2の差動トランジスタ対(M51, M52, M55, M56)にそれぞれ接続された第1、第2の定電流源(M91, M92)と、前記第1の差動トランジスタ対(M51, M52)の他の出力端(M51a)および前記第2の差動トランジスタ対(M55, M56)の他の出力端(M56a)と第1の電源端子(4)との間に接続された第1の電流ミラー回路(M53, M59)と、前記第1の差動トランジスタ対(M51, M52)の他の出力端(M52a)および前記第2の差動トランジスタ対(M55, M56)の他の出力端(M55a)と前記第1の電源端子(4)との間に接続された第2の電流ミラー回路(M54, M60)と、前記第2の差動トランジスタ対(M55, M56)と第2の電源端子(5)との間に接続された負荷回路(M57, M58)と、前記第2の差動トランジスタ対(M55, M56)の前記他の出力端(M55a)と前記負荷回路(M57, M58)との接続点(Pa)に制御電極が接続され、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第1のトランジスタ(M61)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第1のトランジスタ(M61)と直列に接続された第3の定電流源(M67)と、前記第1のトランジスタ(M61)と前記第3の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1のトランジスタ(M61)と前記第3の定電流源(M67)との接続点(Pb)と前記第2の電源端子(5)との間に接続された第2のトランジスタ(M62)と、前記第1のトランジスタ(M61)と前記第3の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第3のトランジスタ(M63)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第3のトランジスタ(M63)と直列に接続された第4の定電流源(M68)と、前記第1のトランジスタ(M61)と前記第3の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第4のトランジスタ(M64)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第4のトランジスタ(M64)と直列に接続された第5の定電流源(M69)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に直列に接続され、制御電極が、前記第4のトランジスタ(M64)と前記第5の定電流源(M69)との接続点(Pc)と、前記第3のトランジスタ(M63)と前記第4の定電流源(M68)との接続点(Pd)と、にそれぞれ接続された第1、第2の出力トランジスタ(M65, M66)とを備え、前記第1および前記第2の出力トランジスタ(M65, M66)の接続点(P

e)が出力端子(3)に接続されている。

【0069】上記本発明の演算増幅器において、更に、前記第1および前記第2の出力トランジスタ(M65, M66)の接続点(Pe)と、前記第1の電源端子(4)との間に接続された第6の定電流源(M70, M77)を備えたものである。

【0070】上記本発明の演算増幅器において、前記第3から前記第6の定電流源(M67, M68, M69, M70)は、それぞれ、定電流源用トランジスタからなり、前記定電流源用トランジスタのそれぞれの制御電極は、互いに等しいバイアス電圧(A5)が印加されるものである。

【0071】上記本発明の演算増幅器において、更に、前記第1および前記第2の出力トランジスタ(M65, M66)の接続点(Pe)と、前記第2の電源端子(5)との間に接続された第7の定電流源(M78)を備えたものである。

【0072】本発明の演算増幅器は、第1、第2の入力端子(1, 2)に制御電極がそれぞれ接続され互いに逆導電型の第1、第2の差動トランジスタ対(M51, M52, M55, M56)と、前記第1、第2の差動トランジスタ対(M51, M52, M55, M56)にそれぞれ接続された第1、第2の定電流源(M91, M92)と、前記第1の差動トランジスタ対(M51, M52)の他の出力端(M51a)および前記第2の差動トランジスタ対(M55, M56)の他の出力端(M56a)と第1の電源端子(4)との間に接続された第1の電流ミラー回路(M53, M59)と、前記第1の差動トランジスタ対(M51, M52)の他の出力端(M52a)および前記第2の差動トランジスタ対(M55, M56)の他の出力端(M55a)と前記第1の電源端子(4)との間に接続された第2の電流ミラー回路(M54, M60)と、前記第2の差動トランジスタ対(M55, M56)と第2の電源端子(5)との間に接続された負荷回路(M57, M58)と、前記第2の差動トランジスタ対(M55, M56)の前記他の出力端(M55a)と前記負荷回路(M57, M58)との接続点(Pa)に制御電極が接続され、第1電極が前記第2の電源端子(5)に接続された第1のトランジスタ(M101)と、前記第1のトランジスタ(M101)の第2電極を入力端(Pg)に接続した第3の電流ミラー回路(M102, M103)と、前記第3の電流ミラー回路(M102, M103)の出力端(Ph)と前記第2の電源端子(5)との間に接続された第3の定電流源(M107)と、前記第3の電流ミラー回路(M102, M103)の前記入力端(Pg)を制御電極に接続し、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第2のトランジスタ(M104)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第2のトランジスタ(M104)と直列に

接続された第4の定電流源(M106)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に直列に接続され、制御電極が、前記第4の定電流源(M106)と前記第2のトランジスタ(M104)との接続点(Pj)と、前記第3の電流ミラー回路(M102, M103)の出力端(Ph)と、にそれぞれ接続された第1, 第2の出力トランジスタ(M65, M66)とを備え、前記第1および前記第2の出力トランジスタ(M65, M66)の接続点(Pk)が出力端子(3)に接続されているものである。

【0073】上記本発明の演算増幅器において、更に、前記第1および前記第2の出力トランジスタ(M65, M66)の接続点(Pk)と、前記第1の電源端子(4)との間に接続された第5の定電流源(M70)を備えたものである。

【0074】上記本発明の演算増幅器において、更に、前記第1および前記第2の出力トランジスタ(M65, M66)の接続点(Pk)と、前記第2の電源端子(5)との間に接続された第6の定電流源を備えたものである。

【0075】上記本発明の演算増幅器において、前記特定信号生成段(K2)は、前記入力信号(Si)が入力される制御電極を有し、第1の電源端子(4)と第2の電源端子(5)との間に接続された第1のトランジスタ(M61)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第1のトランジスタ(M61)と直列に接続された第1の定電流源(M67)と、前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)と前記第2の電源端子(5)との間に接続された第2のトランジスタ(M62)と、前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第3のトランジスタ(M63)と、前記第3のトランジスタ(M63)に制御電極が接続され、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第3のトランジスタ(M63)と直列に接続された第4のトランジスタ(M200)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第3のトランジスタ(M63)および前記第4のトランジスタ(M200)と直列に接続された第2の定電流源(M68)と、前記第1のトランジスタ(M61)と前記第1の定電流源(M67)との接続点(Pb)に制御電極が接続され前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第5のトランジスタ(M64)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第5のトランジスタ(M64)と直列に接続された第3の定

電流源(M69)とを備えている。

【0076】上記本発明の演算増幅器において、前記出力段(K3)は、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続され、制御電極が、前記第5のトランジスタ(M64)と前記第3の定電流源(M69)との接続点(Pc)に接続された第1の前記出力段トランジスタ(M65)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続され、前記第4のトランジスタ(M200)と電流ミラー接続された第2の前記出力段トランジスタ(M66)とを備え、前記第1および前記第2の出力段トランジスタ(M65, M66)の接続点(Pe)が前記出力信号(So)が出力される出力端子(3)に接続されている。

【0077】上記本発明の演算増幅器において、前記特定信号生成段(K2)は、前記入力信号(Si)が入力される制御電極を有し、第1電極が第2の電源端子(5)に接続された第1のトランジスタ(M101)と、前記第1のトランジスタ(M101)の第2電極を入力端(Pg)に接続した第1の電流ミラー回路(M102, M103)と、前記第1の電流ミラー回路(M102, M103)の出力端(Ph)に制御電極が接続され、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第2のトランジスタ(M202)と、前記第2のトランジスタ(M202)と直列に接続され、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第1の定電流源(M107)と、前記第1の電流ミラー回路(M102, M103)の前記入力端(Pg)を制御電極に接続し、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続された第3のトランジスタ(M104)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に前記第3のトランジスタ(M104)と直列に接続された第2の定電流源(M106)とを備えている。

【0078】上記本発明の演算増幅器において、前記出力段(K3)は、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続され、制御電極が、前記第3のトランジスタ(M104)と前記第2の定電流源(M106)との接続点(Pj)に接続された第1の前記出力段トランジスタ(M66)と、前記第1の電源端子(4)と前記第2の電源端子(5)との間に接続され、前記第2のトランジスタ(M202)と電流ミラー接続された第2の前記出力段トランジスタ(M65)とを備え、前記第1および前記第2の出力段トランジスタ(M65, M66)の接続点(Pk)が前記出力信号(So)が出力される出力端子(3)に接続されている。

【0079】本発明の演算増幅器は、第1, 第2の入力端子(1, 2)に制御電極がそれぞれ接続され互いに逆導電型の第1, 第2の差動トランジスタ対(M51, M52, M55, M56)と、前記第1, 第2の差動トラ

ンジスタ対 (M51, M52, M55, M56) にそれぞれ接続された第1、第2の定電流源 (M91, M92) と、前記第1の差動トランジスタ対 (M51, M52) の一の出力端 (M51a) および前記第2の差動トランジスタ対 (M55, M56) の一の出力端 (M56a) と第1の電源端子 (4) との間に接続された第1の電流ミラー回路 (M53, M59) と、前記第1の差動トランジスタ対 (M51, M52) の他の出力端 (M52a) および前記第2の差動トランジスタ対 (M55, M56) の他の出力端 (M55a) と前記第1の電源端子 (4) との間に接続された第2の電流ミラー回路 (M54, M60) と、前記第2の差動トランジスタ対 (M55, M56) と第2の電源端子 (5) との間に接続された負荷回路 (M57, M58) と、前記第2の差動トランジスタ対 (M55, M56) の前記他の出力端 (M55a) と前記負荷回路 (M57, M58) との接続点 (Pa) に制御電極が接続され、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続された第1のトランジスタ (M61) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に前記第1のトランジスタ (M61) と直列に接続された第3の定電流源 (M67) と、前記第1のトランジスタ (M61) と前記第3の定電流源 (M67) との接続点 (Pb) に制御電極が接続され前記第1のトランジスタ (M61) と前記第3の定電流源 (M67) との接続点 (Pb) と前記第2の電源端子 (5) との間に接続された第2のトランジスタ (M62) と、前記第1のトランジスタ (M61) と前記第3の定電流源 (M67) との接続点 (Pb) に制御電極が接続され前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続された第3のトランジスタ (M63) と、前記第3のトランジスタ (M63) に制御電極が接続され、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に前記第3のトランジスタ (M63) と直列に接続された第4のトランジスタ (M200) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に前記第3のトランジスタ (M63) および前記第4のトランジスタ (M200) と直列に接続された第4の定電流源 (M68) と、前記第1のトランジスタ (M61) と前記第3の定電流源 (M67) との接続点 (Pb) に制御電極が接続され前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続された第5のトランジスタ (M64) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に前記第5のトランジスタ (M64) と直列に接続された第5の定電流源 (M69) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続され、制御電極が、前記第5のトランジスタ (M64) と前記第5の定電流源 (M69) との接続点 (Pc) に接続された第1の出力段トランジスタ (M65) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との

間に接続され、前記第4のトランジスタ (M200) と電流ミラー接続された第2の出力段トランジスタ (M66) とを備え、前記第1および前記第2の出力段トランジスタ (M65, M66) の接続点 (Pe) が出力端子 (3) に接続されている。

【0080】本発明の演算増幅器は、第1、第2の入力端子 (1, 2) に制御電極がそれぞれ接続され互いに逆導電型の第1、第2の差動トランジスタ対 (M51, M52, M55, M56) と、前記第1、第2の差動トランジスタ対 (M51, M52, M55, M56) にそれぞれ接続された第1、第2の定電流源 (M91, M92) と、前記第1の差動トランジスタ対 (M51, M52) の一の出力端 (M51a) および前記第2の差動トランジスタ対 (M55, M56) の一の出力端 (M56a) と第1の電源端子 (4) との間に接続された第1の電流ミラー回路 (M53, M59) と、前記第1の差動トランジスタ対 (M51, M52) の他の出力端 (M52a) および前記第2の差動トランジスタ対 (M55, M56) の他の出力端 (M55a) と前記第1の電源端子 (4) との間に接続された第2の電流ミラー回路 (M54, M60) と、前記第2の差動トランジスタ対 (M55, M56) と第2の電源端子 (5) との間に接続された負荷回路 (M57, M58) と、前記第2の差動トランジスタ対 (M55, M56) の前記他の出力端 (M55a) と前記負荷回路 (M57, M58) との接続点 (Pa) に制御電極が接続され、第1電極が前記第2の電源端子 (5) に接続された第1のトランジスタ (M101) と、前記第1のトランジスタ (M101) の第2電極を入力端 (Pg) に接続した第3の電流ミラー回路 (M102, M103) と、前記第3の電流ミラー回路 (M102, M103) の出力端 (Ph) に制御電極が接続され、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続された第2のトランジスタ (M202) と、前記第2のトランジスタ (M202) と直列に接続され、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続された第3の定電流源 (M107) と、前記第3の電流ミラー回路 (M102, M103) の前記入力端 (Pg) を制御電極に接続し、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続された第3のトランジスタ (M104) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に前記第3のトランジスタ (M104) と直列に接続された第4の定電流源 (M106) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続され、制御電極が、前記第3のトランジスタ (M104) と前記第4の定電流源 (M106) との接続点 (Pj) に接続された第1の出力段トランジスタ (M66) と、前記第1の電源端子 (4) と前記第2の電源端子 (5) との間に接続され、前記第2のトランジスタ (M202) と電流ミラー接続された第2の出力段トランジ

スタ (M65) とを備え、前記第 1 および前記第 2 の出力段トランジスタ (M65, M66) の接続点 (Pk) が出力端子 (3) に接続されている。

【0081】

【発明の実施の形態】以下、添付図面を参照して、本発明の演算増幅器の一実施形態について説明する。

【0082】以下、第 1 から第 13 まで述べる実施形態の演算増幅器が目的とするところは、図 11 から図 13 に示すような、アンダーシュートやオーバーシュートを最小限に抑えることである。図 11 から図 13 において、実線で示した波形が本実施形態に対応し、破線で示した波形が図 10 に示した従来技術に対応する。なお、図 11 および図 12 に示した例では、従来の演算増幅器で検出されたアンダーシュート US が本実施形態では検出されないことを示している。図 13 に示す例では、従来の演算増幅器および本実施形態の演算増幅器で、オーバーシュート OS は検出されていない。

【0083】(第 1 の実施形態) 図 1 は、第 1 の実施形態に係る演算増幅器の回路構成を示す図である。

【0084】第 1 の実施形態に係る演算増幅器は、入力段 K1 と、駆動段 K2 と、出力段 K3 とを備えている。

【0085】まず、演算増幅器の入力段 K1 の構成について説明する。

【0086】演算増幅器の入力段 K1 は、Pチャネル FET (電界効果トランジスタ) M51, M52 と、Nチャネル FET M55, M56 と、定電流源用 Pチャネル FET M91 と、定電流源用 Nチャネル FET M92 と、Nチャネル FET M53, M59 と、Nチャネル FET M54, M60 と、Pチャネル FET M57, M58 とを備えている。

【0087】Pチャネル FET M51, M52 は、ソースが共通に接続され、ゲートがそれぞれ信号入力端子 1, 2 に接続され、差動対を構成している。Nチャネル FET M55, M56 は、ソースが共通に接続され、ゲートがそれぞれ信号入力端子 1, 2 に接続され、差動対を構成している。

【0088】定電流源用 Pチャネル FET M91 は、Pチャネル FET M51, M52 の共通接続されたソースと高位側電源端子 5 との間に接続されている。定電流源用 Nチャネル FET M92 は、Nチャネル FET M55, M56 の共通接続されたソースと低位側電源端子 4 との間に接続されている。定電流源用 Pチャネル FET M91 および定電流源用 Nチャネル FET M92 は、それぞれのゲートが、入力段バイアス入力端子 A3, A4 のそれぞれに接続されている。

【0089】Nチャネル FET M53 は、そのゲートおよびドレインが Pチャネル FET M51 のドレインと接続されるとともに、そのソースが低位側電源端子 4 に接続されている。Nチャネル FET M59 は、そのドレインが Nチャネル FET M56 のドレインと Pチャ

ネル FET M57 のドレインとの接続点に接続されるとともに、そのソースが低位側電源端子 4 に接続されている。Nチャネル FET M53 と、Nチャネル FET M59 とは、第 1 の電流ミラー回路を構成している。

【0090】Nチャネル FET M54 は、そのドレインおよびゲートが Pチャネル FET M52 のドレインと接続されるとともに、そのソースが低位側電源端子 4 に接続されている。Nチャネル FET M60 は、そのドレインが Nチャネル FET M55 のドレインと Pチャネル FET M58 のドレインとの接続点に接続されるとともに、そのソースが低位側電源端子 4 に接続されている。Nチャネル FET M54 と、Nチャネル FET M60 とは、第 2 の電流ミラー回路を構成している。

【0091】Pチャネル FET M57, M58 は、Nチャネル FET M55, M56 のドレインと高位側電源端子 5 との間に接続されている。Pチャネル FET M57, M58 は、能動負荷として作用する電流ミラー回路を構成している。

【0092】次に、演算増幅器の駆動段 K2 の構成について説明する。

【0093】演算増幅器の駆動段 K2 は、Pチャネル FET M61, M62, M63, M64 と、定電流源用 Nチャネル FET M67, M68, M69 とを備えている。

【0094】定電流源用 Nチャネル FET M67, M68, M69 は、いずれもそのソースが低位側電源端子 4 に接続され、いずれもそのゲートが駆動段バイアス入力端子 A5 に接続されている。定電流源用 Nチャネル FET M67, M68, M69 は、いずれも電流吸い込み型である。

【0095】Pチャネル FET M61 のゲートは、Pチャネル FET M58 のドレインと Nチャネル FET M55 のドレインとの接続点に接続されている。Pチャネル FET M61, M62 は、ともにソースが高位側電源端子 5 に接続され、ドレインが共通に接続されている。そのドレインの共通接続点は、Pチャネル FET M62 のゲートに接続されているとともに、定電流源用 Nチャネル FET M67 のドレインに接続されている。

【0096】Pチャネル FET M63, M64 は、ともにソースが高位側電源端子 5 に接続され、ともにゲートが Pチャネル FET M61, M62 のドレインの前記共通接続点に接続されている。Pチャネル FET M63 のドレインは、定電流源用 Nチャネル FET M68 のドレインに接続されている。Pチャネル FET M64 のドレインは、定電流源用 Nチャネル FET M69 のドレインに接続されている。

【0097】次に、演算増幅器の出力段 K3 の構成について説明する。

【0098】演算増幅器の出力段 K3 は、Pチャネル F

ET M65と、NチャネルFET M66と、定電流源用NチャネルFET M70とを備えている。

【0099】PチャネルFET M65は、そのソースが高位側電源端子5に接続され、そのゲートがPチャネルFET M64のドレインと接続され、そのドレインが出力信号端子3に接続されている。NチャネルFET M66は、そのソースが低位側電源端子4に接続され、そのゲートがPチャネルFET M63のドレインと定電流源用NチャネルFET M68のドレインとの接続点に接続され、そのドレインが出力信号端子3に接続されている。

【0100】定電流源用NチャネルFET M70は、そのソースが低位側電源端子4に接続され、そのゲートが前記駆動段バイアス入力端子A5に接続され、そのドレインが出力信号端子3に接続されている。

【0101】次に、図1に示す演算増幅器の動作について説明する。

【0102】図1に示す演算増幅器では、PチャネルFET M51、M52からなる差動トランジスタ対と、NチャネルFET M55、M56からなる差動トランジスタ対とを並列に接続することにより、広入力レンジの入力段K1となっている。

【0103】信号入力端子1、2に、それぞれ、印加される信号電圧の割合に応じて、PチャネルFET M65のゲート電圧、およびNチャネルFET M66のゲート電圧を変化させる。PチャネルFET M65およびNチャネルFET M66の、それぞれのゲート電圧の変化分によって、出力信号端子3の電位を速やかに上昇、あるいは下降させる。

【0104】まず、信号入力端子2よりも信号入力端子1に印加される電圧が高い場合について説明する。

【0105】NチャネルFET M55のドレイン、PチャネルFET M58のドレインおよびNチャネルFET M60のドレインとの接続点の電圧、すなわち、PチャネルFET M61のゲート電圧は低くなる。

【0106】このとき、PチャネルFET M62、M64のゲート電圧が高くなり、PチャネルFET M65のゲート電圧が低くなる。これにより、PチャネルFET M65を通り、高位側電源端子5から出力信号端子3に流れる電流は、大きくなる。

【0107】また、このとき、NチャネルFET M66のゲート電圧が低くなる。これにより、NチャネルFET M66を通り出力信号端子3から低位側電源端子4に流れる電流は遮断されている状態であるから、高位側電源端子5からPチャネルFET M65を流れる電流は出力信号端子3に流れることにより、出力信号端子3の電位を速やかに上昇させることができる（充電時）。

【0108】一方、信号入力端子2よりも信号入力端子1に印加される電圧が低い場合について説明する。

【0109】NチャネルFET M55のドレイン、PチャネルFET M58のドレインおよびNチャネルFET M60のドレインとの接続点の電圧、すなわち、PチャネルFET M61のゲート電圧は高くなる。

【0110】このとき、PチャネルFET M62、M64のゲート電圧が低くなり、PチャネルFET M65のゲート電圧が高くなる。これにより、PチャネルFET M65を通り、高位側電源端子5から出力信号端子3に流れる電流は、非常に小さくなる。

【0111】また、このとき、NチャネルFET M66のゲート電圧が高くなる。これにより、NチャネルFET M66を通り出力信号端子3から低位側電源端子4に流れる電流は大きくなる。このとき、PチャネルFET M65を通り高位側電源端子5から出力信号端子3に流れる電流は遮断される。つまり、NチャネルFET M66を通り出力信号端子3から低位側電源端子4に大きな電流が流れることにより、出力信号端子3の電位を速やかに下降させることができる（放電時）。

【0112】しかも、出力信号端子3の電位は、高位側電源端子5からのPチャネルFET M65のドレインソース間の電圧分が下がった電位から、低位側電源端子4からのNチャネルFET M66のドレインソース間の電圧分が上がった電位まで出力でき、広出力レンジの出力段K3が可能となる。

【0113】また、出力信号端子3の電位が下降するとき、PチャネルFET M65のゲート電位およびPチャネルFET M63、M64のゲート電位は共に上がるが、PチャネルFET M63、M64のドレインは、定電流源用NチャネルFET M68、M69と接続されているために、放電電流に応じた貫通電流は流れない。

【0114】さらに、本実施形態では、出力段K3のPチャネルFET M65およびNチャネルFET M66から駆動段K2側をみたときに、ともにトランジスタの段数は、同じである。すなわち、PチャネルFET M61のゲートに入力された信号（入力信号Si）が、PチャネルFET M62により反転された状態で、PチャネルFET M63のゲートおよびPチャネルFET M64のゲートに入力される。ここで、PチャネルFET M63、M64の各ゲートに入力される信号は、単一の信号である（以下、信号Saと称する。）。

【0115】信号Saは、PチャネルFET M64を介してPチャネルFET M65のゲートに入力される（この入力された信号を第1の特定信号S1とする）。一方、信号Saは、PチャネルFET M63を介してNチャネルFET M66に入力される（この入力された信号を第2の特定信号S2とする）。このように、PチャネルFET M65およびNチャネルFET M66から駆動段K2側をみたときに、前記単一の信号Saが生成されてからのトランジスタの段数は共に1段で同

じである。

【0116】このことから、図10の従来技術で述べた、信号入力タイミングの遅延の問題や、増幅率の差の問題を解消することができる。これにより、図1のような回路構成を採用すれば、アンダーシュートやオーバーシュートの発生を最小限に抑制することができ、本実施形態の演算増幅器を複数用いた場合の、アンダーシュートやオーバーシュートのばらつきの発生も抑制することができる。

【0117】ここで、平衡状態（出力信号端子3の電位が目的の電位になった状態）時にPチャネルFET M65、NチャネルFET M66を流れるアイドリング電流について、説明する。

【0118】PチャネルFET M65、NチャネルFET M66には、定電流源用NチャネルFET M67～M69のような定電流源が無い。そのため、アイドリング電流をどのように決めて、如何にして良好なプッシュプル動作を実現するかが問題となる。

【0119】ここでは、具体的に、定電流源用NチャネルFET M67～M70に流す電流値を、それぞれ、 $30\mu\text{A}$ 、 $10\mu\text{A}$ 、 $10\mu\text{A}$ 、 $10\mu\text{A}$ とする。また、PチャネルFET M62～M64のトランジスタサイズをそれぞれ、1:1:2の比率とする。

【0120】平衡状態時、PチャネルFET M62のゲートドレイン電極間電位、およびPチャネルFET M63、M64のゲート電極電位は、定電流源用NチャネルFET M69に流れる電流値と、PチャネルFET M64のトランジスタサイズで決定される。以下、詳細に説明する。

【0121】定電流源用NチャネルFET M69に流す電流値は、 $10\mu\text{A}$ であるため、PチャネルFET M64に流れる電流値も $10\mu\text{A}$ となる。PチャネルFET M64のゲートソース間電位 V_{gs} は、定電流源用NチャネルFET M69に $10\mu\text{A}$ だけ流すような電位に決まる。

【0122】PチャネルFET M64のゲートとPチャネルFET M63のゲートは、互いに接続されているため、PチャネルFET M63のゲートソース間電位は、上記PチャネルFET M64のゲートソース間電位 V_{gs} と等しくなる。

【0123】また、PチャネルFET M62のゲートも、PチャネルFET M64のゲートおよびPチャネルFET M63のゲートと接続されていることから、PチャネルFET M62のゲートドレイン電極間電位も、上記PチャネルFET M64のゲートソース間電位 V_{gs} と等しくなる。

【0124】ここで、PチャネルFET M62～M64は、上記のようなトランジスタサイズ比に設定されていることから、平衡状態時のPチャネルFET M61～M64に流れる電流値は、以下のようになる。

【0125】

PチャネルFET M61= $25\mu\text{A}$ 、

PチャネルFET M62= $5\mu\text{A}$ 、

PチャネルFET M63= $5\mu\text{A}$ 、

PチャネルFET M64= $10\mu\text{A}$ 。

【0126】ここで、PチャネルFET M63とPチャネルFET M64のトランジスタ比は、1:2であるため、PチャネルFET M63には、 $5\mu\text{A}$ しか流れない。定電流源用NチャネルFET M68は、 $10\mu\text{A}$ 流す電流源であるが、PチャネルFET M63から定電流源用NチャネルFET M68に供給される電流は $5\mu\text{A}$ である。

【0127】したがって、定電流源用NチャネルFET M68は、飽和領域動作から外れ、定電流源用NチャネルFET M68のドレインソース間の電位 V_{ds} は、飽和領域を抜けて $5\mu\text{A}$ に対応する値まで下がる。

【0128】定電流源用NチャネルFET M68のドレインソース間の電位 V_{ds} が、上記のように下がると、定電流源用NチャネルFET M68のドレインに接続されたNチャネルFET M66のゲート電圧が下がる。これによりNチャネルFET M66は、高抵抗になり、非常に小さな電流しか流さないOFF状態となる。

【0129】上記のように、定電流源用NチャネルFET M68は飽和領域から外れ、NチャネルFET M66は、非常に小さな電流しか流さない状態になっている。

【0130】このため、出力段K3のアイドリング電流は、定電流源用NチャネルFET M70で決定される。いま、定電流源用NチャネルFET M70は、 $10\mu\text{A}$ 流すため、アイドリング電流は $10\mu\text{A}$ となる。

【0131】次に、定電流源用NチャネルFET M70の機能について説明する。

【0132】上記のように、定電流源用NチャネルFET M68が飽和領域から外れ、NチャネルFET M66が高抵抗となった後、出力信号端子3が充電され、その充電が終了して、充電された容量素子が飽和状態となったときを考える。このとき、定電流源用NチャネルFET M70が無いと、PチャネルFET M65のゲート電位が上昇する。

【0133】PチャネルFET M65のゲート電位が一定以上まで上昇すると、PチャネルFET M65は非常に小さな電流しか流さない高抵抗状態となる。このとき、NチャネルFET M66は既に高抵抗状態になっているため、本実施形態の演算増幅器にボルテージフォロウを設けてフィードバックして用いることができなくなることが考えられる。

【0134】すなわち、充電が終了したときに、出力段K3のPチャネルFET M65、NチャネルFET M66の両方が、電流を殆ど流さないOFF状態となる

と、フィードバックができなくなるため、出力段K3の動作点を決めて、回路を安定動作させる必要がある。

【0135】定電流源用NチャネルFET M70を設けることにより、出力信号端子3の充電が終了した後、PチャネルFET M65を通った電流（アイドリング電流）が流れる路が確保される。これにより、PチャネルFET M65のゲート電位が上昇することを防ぐことができ、PチャネルFET M65が高抵抗状態（OFF状態）になることを防ぐことができる。

【0136】従来のように、アンダーシュートやオーバーシュートが生じるような回路構成では、アイドリング電流の流れる路が無くなる状態は無かったため、上記のような機能を有する定電流源用NチャネルFET M70は不要であった。本実施形態のように、出力段K3のPチャネルFET M65、NチャネルFET M66の前段に設けたトランジスタの段数を揃え、また、上記のようにトランジスタサイズに比をもたせたために、アイドリング電流の流れる路（定電流源用NチャネルFET M70）を確保する必要が生じたのである。

【0137】次に、本実施形態における充電時および放電時の説明を行う。

【0138】平衡状態時に、PチャネルFET M61～M64に流れる電流は、先に示した通り、以下の通りとなる。

【0139】

PチャネルFET M61 = $25\mu\text{A}$ 、

PチャネルFET M62 = $5\mu\text{A}$ 、

PチャネルFET M63 = $5\mu\text{A}$ 、

PチャネルFET M64 = $10\mu\text{A}$ 。

【0140】まず、放電時の動作について説明する。

【0141】放電時、前記入力段K1から前記駆動段K2に inputsされる前記入力段出力端子A1の電位は、平衡状態時よりも上昇する。つまり、PチャネルFET M61に流れていた $25\mu\text{A}$ の電流は、ほとんどPチャネルFET M62側に流れる。PチャネルFET M62 : PチャネルFET M63 : PチャネルFET M64のトランジスタサイズ比は、1 : 1 : 2である。

【0142】したがって、PチャネルFET M63は、PチャネルFET M63に $10\mu\text{A}$ 以上流すゲート電極電位まで、そのゲート電極電位が下降する。PチャネルFET M64も、PチャネルFET M64に $10\mu\text{A}$ 以上流すゲート電極電位まで、そのゲート電極電位が下降する。

【0143】しかし、定電流源用NチャネルFET M68および定電流源用NチャネルFET M69のそれぞれは、 $10\mu\text{A}$ の定電流源であるため、結局、PチャネルFET M65およびNチャネルFET M66のそれぞれのゲート電極の電位は、平衡状態時よりも上昇する。

【0144】以上の回路動作をもって、PチャネルFET

T M65はOFF状態（高抵抗状態）、NチャネルFET M66はON状態（電流をより多く流す状態）となり、出力信号端子3から低位側電源端子4への放電が始まる。

【0145】次に、充電時の動作について説明する。

【0146】充電時、前記入力段K1から前記駆動段K2に inputsされる入力段出力端子A1の電位は、通常電位よりも下降する。つまり、PチャネルFET M61には、ほとんど $30\mu\text{A}$ の電流が流れる。したがって、PチャネルFET M63およびPチャネルFET M64のそれぞれに流れる電流もほぼ $0\mu\text{A}$ となる。

【0147】しかし、定電流源用NチャネルFET M68および定電流源用NチャネルFET M69は、それぞれ、 $10\mu\text{A}$ の定電流源であるため、結局、PチャネルFET M65およびNチャネルFET M66のそれぞれのゲート電極の電位は、平衡状態よりも下降する。

【0148】以上の回路動作をもって、PチャネルFET M65はON状態、NチャネルFET M66はOFF状態となり、充電が開始される。

【0149】（第2の実施形態）図2は、本発明の第2の実施形態に係る演算増幅器の構成を示す回路図である。図2において、前記第1の実施形態の構成を示す図である図1の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0150】第2の実施形態において、前記第1の実施形態と相違する点は、前記第1の実施形態における、低位側電源端子4側に接続された前記定電流源用NチャネルFET M70を、定電流源用PチャネルFET M70aとして、高位側電源端子5側に接続した点である。前記第1の実施形態の定電流源用NチャネルFET M70は、前述したように、NチャネルFET M66および定電流源用NチャネルFET M68がともにOFF状態になったときに、PチャネルFET M65がOFF状態になるのを防ぐものである。これに対し、第2の実施形態の定電流源用PチャネルFET M70aは、PチャネルFET M64およびPチャネルFET M65がともにOFF状態になったときに、NチャネルFET M66がOFF状態になるのを防ぐものである。

【0151】本実施形態の演算増幅器は、定電流源用PチャネルFET M70aの位置が変更になっただけであり、実質的に前記第1の実施形態と同様となる。このため、動作の説明は省略する。

【0152】（第3の実施形態）図3は、本発明の第3の実施形態に係る演算増幅器の構成を示す回路図である。図3において、前記第1の実施形態の構成を示す図である図1の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0153】第3の実施形態において、前記第1の実施

形態と相違する点は、前記第 1 の実施形態における前記低位側電源端子 4 側と、前記高位側電源端子 5 側とを逆にした点である。すなわち、P チャンネル FET M51、M52、M57、M58、M61、M62、M63、M64、M65 を N チャンネル FET M51b、M52b、M57b、M58b、M61b、M62b、M63b、M64b、M65b に置き換え、N チャンネル FET M53、M54、M55、M56、M59、M60、M66、M67、M68、M69、M70 を P チャンネル FET M53b、M54b、M55b、M56b、M59b、M60b、M66b、M67b、M68b、M69b、M70b に置き換えたものである。

【0154】本実施形態の演算増幅器は、回路の極性が逆になっただけであり、実質的に前記第 1 の実施形態と同様となる。このため、動作の説明は省略する。

【0155】（第 4 の実施形態）図 4 は、本発明の第 4 の実施形態に係る演算増幅器の構成を示す回路図である。図 4 において、前記第 3 の実施形態の構成を示す図である図 3 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0156】第 4 の実施形態は、図 3 に示した第 3 の実施形態における、前記高位側電源端子 5 側の定電流源用 P チャンネル FET M70b を、前記低位側電源端子 4 側に定電流源用 N チャンネル FET M70c として、置き換えたものである。実質的に前記第 2 の実施形態と同様である。このため、動作の説明は省略する。

【0157】（第 5 の実施形態）図 5 は、本発明の第 5 の実施形態に係る演算増幅器の構成を示す回路図である。図 5 において、前記第 1 の実施形態の構成を示す図である図 1 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0158】第 5 の実施形態においては、P チャンネル FET M101 は、入力段 K1 の差動トランジスタ対の出力信号を反転する反転用トランジスタとして作用し、電流ミラー回路を構成する N チャンネル FET M102 および N チャンネル FET M103 が N チャンネル FET M101 で反転された信号を更に反転して出力する。

【0159】ここでは具体的に、定電流源用 P チャンネル FET M106、M107 および定電流源用 N チャンネル FET M70 に流す電流をそれぞれ、 $10\mu\text{A}$ とする。また、N チャンネル FET M102、M103 および M104 のトランジスタサイズをそれぞれ、1:2:1 の比率とする。平衡状態においては、N チャンネル FET M104、M103 および M102 のゲートソース間電圧 V_{gs} は、N チャンネル FET M104 のトランジスタサイズと、定電流源用 P チャンネル FET M106 に流れる電流値とで決定される。したがって、N チャンネル FET M103 は $20\mu\text{A}$ 、N チャンネル FET M102 は $10\mu\text{A}$ 流そうとする。しかし、定電流源用 P チャンネル FET M107 は $10\mu\text{A}$ しか電流を流

さないで、N チャンネル FET M103 のドレインソース間電圧 V_{ds} は、 $10\mu\text{A}$ しか流さない値に決定される。そのため、N チャンネル FET M103 のドレイン電極、つまり N チャンネル FET M66 のゲート電極の電圧値は下がる。これにより、N チャンネル FET M66 は高抵抗になり、非常に小さな電流しか流さない OFF 状態となり、非常に小さな電流しか流さない状態になる。このため、出力段 K3 のアイドリング電流は、定電流源用 N チャンネル FET M70 で決定される。いま、定電流源用 N チャンネル FET M70 は、 $10\mu\text{A}$ 流すために、アイドリング電流は $10\mu\text{A}$ となる。

【0160】（第 6 の実施形態）図 6 は、本発明の第 6 の実施形態に係る演算増幅器の構成を示す回路図である。図 6 において、前記第 1 の実施形態の構成を示す図である図 1 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0161】第 6 の実施形態において、前記第 5 の実施形態と相違する点は、前記第 5 の実施形態における定電流源用 N チャンネル FET M70 を、定電流源用 P チャンネル FET M70b として、前記高位側電源端子 5 側に設けた点である。

【0162】（第 7 の実施形態）図 7 は、本発明の第 7 の実施形態に係る演算増幅器の構成を示す回路図である。図 7 において、前記第 1 の実施形態の構成を示す図である図 1 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0163】図 7 において、定電流源用 N チャンネル FET M77 が、前記第 1 の実施形態における定電流源用 N チャンネル FET M70 に対応している。第 7 の実施形態において、前記第 1 の実施形態と異なるのは、出力段 K3 に、新たに定電流源用 P チャンネル FET M78 を設けた点である。

【0164】前記入力段 K1 の入力段出力端子 A1 から、前記駆動段 K2 の P チャンネル FET M61 のゲート電位を上昇させる信号を入力したとき（充電時）には、出力段バイアス入力端子 B2 にバイアス入力して前記定電流源用 N チャンネル FET M77 を電流を流す ON 状態とし、前記定電流源用 P チャンネル FET M78 は、殆ど電流を流さない OFF 状態とする。一方、前記入力段出力端子 A1 から、前記駆動段 K2 の P チャンネル FET M61 のゲート電位を下降させる信号を入力したとき（放電時）には、出力段バイアス入力端子 B1 にバイアス入力して前記定電流源用 P チャンネル FET M78 を電流を流す ON 状態とし、前記定電流源用 N チャンネル FET M77 は、殆ど電流を流さない OFF 状態とする。これにより、前記第 1 の実施形態に比べて、充放電時のバランスが良くなり、出力信号端子 3 からの出力波形の歪みを最小限に抑えることができる。

【0165】（第 8 の実施形態）図 8 は、本発明の第 8 の実施形態に係る演算増幅器の構成を示す回路図であ

る。図 8 において、前記第 1 の実施形態の構成を示す図である図 1 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0166】第 8 の実施形態は、前記第 5、6 の実施形態と前記第 7 の実施形態での考え方を採用したものである。

【0167】充電時には、出力段バイアス入力端子 B 4 にバイアス入力して定電流源用 N チャンネル FET M77a を電流を流す ON 状態とし、定電流源用 P チャンネル FET M78a は、殆ど電流を流さない OFF 状態とする。一方、放電時には、出力段バイアス入力端子 B 3 にバイアス入力して前記定電流源用 P チャンネル FET M78a を電流を流す ON 状態とし、前記定電流源用 N チャンネル FET M77a は、殆ど電流を流さない OFF 状態とする。これにより、前記第 1 の実施形態に比べて、充放電時のバランスが良くなり、出力信号端子 3 からの出力波形の歪みを最小限に抑えることができる。

【0168】(第 9 の実施形態) 図 9 は、本発明のポイントの一つを端的に示した図である。

【0169】図 9 に示すように、第 9 の実施形態は、入力信号 S_i に応答して出力信号 S_o を出力する出力段部 K 2、K 3 を備えた演算増幅器である。前記出力段部 K 2、K 3 は、前記入力信号 S_i に基づいて生成される複数(本例では 2)の特定信号 S₁、S₂ のそれぞれに応答してプッシュプル(push-pull)動作を行い、前記プッシュプル動作の結果として前記出力信号 S_o を生成する複数の出力段トランジスタ M65、M66 を有している。前記複数の特定信号 S₁、S₂ は、前記複数の出力段トランジスタ M65、M66 のそれぞれに 30 入力されるまでの遅延時間が同じ(遅延の差が無い)信号として生成される。

【0170】前記第 1 および前記第 2 の特定信号 S₁、S₂ のそれぞれは、前記入力信号 S_i を増幅する生成トランジスタ M63、M64 によって生成され、前記第 1 の特定信号 S₁ を生成する前記生成トランジスタ M64 の段数は 1 であり、前記第 2 の特定信号 S₂ を生成する前記生成トランジスタ M63 の段数は 1 であり、同じ段数である。

【0171】更に、第 9 の実施形態は、前記第 1 および前記第 2 の出力トランジスタ M65、M66 の接続点 P_e と、前記第 1 の電源端子 4 との間に接続された第 6 の定電流源 M77a を備え、更に、前記接続点 P_e と、前記第 2 の電源端子 5 との間に接続された第 7 の定電流源 M78a を備えている。

【0172】前記第 1 ~ 第 9 の実施形態では、前記出力段 K 3 にアイドリング電流を流すための手段として、定電流源用 FET M70、M70a、M70b、M70c、M77、M78、M77a、M78a が用いられた。前記出力段 K 3 にアイドリング電流を流すための手段としては、これらの定電流源用トランジスタ M70 等 50

に限定されることなく、負荷抵抗であってもよい。抵抗素子 R などの負荷抵抗を、前記定電流源用 N チャンネル FET M70 等の位置に、接続することにより、複数の出力段トランジスタ M65、M66 の全てが同時に高抵抗状態または OFF 状態になることを阻止し、また、前記出力信号端子 3 から出力される出力信号 S_o の生成が停止されるのを阻止することができる。ただし、前記負荷抵抗を設けた場合には、出力信号端子 3 の出力電圧(出力信号 S_o)によって、出力段 K 3 のアイドリング電流値が変わる。したがって、アイドリング電流の値を一定値に設定したい場合には、前記負荷抵抗ではなく、上記第 1 ~ 第 9 の実施形態のように、定電流源用トランジスタを用いるのが好ましい。

【0173】(第 10 の実施形態) 図 14 は、本発明の第 10 の実施形態に係る演算増幅器の構成を示す回路図である。図 14 において、前記第 3 の実施形態の構成を示す図である図 3 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0174】第 10 の実施形態において、前記第 3 の実施形態と相違する点は、前記第 3 実施形態における P チャンネル FET M66b に対して、電流ミラー接続された P チャンネル FET M200 が追加されている点である。P チャンネル FET M66b と、P チャンネル FET M200 とは、電流ミラー回路を構成している。これは、出力段 K 3 に、安定したアイドリング電流を流すためであり、そのため、前記第 3 の実施形態における定電流源用 P チャンネル FET M70b を省略することができる。P チャンネル FET M200 は、P チャンネル FET M68b および N チャンネル FET M63b に接続されている。

【0175】(第 11 の実施形態) 図 15 は、本発明の第 11 の実施形態に係る演算増幅器の構成を示す回路図である。図 15 において、前記第 3 の実施形態の構成を示す図である図 3 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0176】第 11 の実施形態において、前記第 3 の実施形態と相違する点は、前記第 3 実施形態における N チャンネル FET M65b に対して、電流ミラー接続された N チャンネル FET M201 が追加されている点である。N チャンネル FET M65b と、N チャンネル FET M201 とは、電流ミラー回路を構成している。これは、出力段 K 3 に、安定したアイドリング電流を流すためであり、そのため、前記第 3 の実施形態における定電流源用 P チャンネル FET M70b を省略することができる。N チャンネル FET M201 は、P チャンネル FET M68b および N チャンネル FET M63b に接続されている。

【0177】(第 12 の実施形態) 図 16 は、本発明の第 12 の実施形態に係る演算増幅器の構成を示す回路図である。図 16 においては、図 5 に示した前記第 5 の実

施形態における前記低位側電源端子 4 側と、前記高位側電源端子 5 側とが逆にされている。すなわち、Pチャネル FET M51、M52、M57、M58、M65、M101、M106、M107、をNチャネル FET M51e、M52e、M57e、M58e、M65e、M101e、M106e、M107eに置き換え、Nチャネル FET M53、M54、M55、M56、M59、M66、M102、M103、M104をPチャネル FET M53e、M54e、M55e、M56e、M59e、M66e、M102e、M103e、M104eに置き換えたものである。本実施形態の演算増幅器において、前記第 5 の実施形態と回路の極性が逆になった点についての動作の説明は省略する。

【0178】第 12 の実施形態において、前記第 5 の実施形態と更に相違する点は、Nチャネル FET M65e に対して、電流ミラー接続されたNチャネル FET M202 が追加されている点である。Nチャネル FET M65e と、Nチャネル FET M202 とは、電流ミラー回路を構成している。これは、出力段 K3 に、安定したアイドリング電流を流すためであり、そのため、前記第 5 の実施形態における定電流源用 Pチャネル FET M70 を省略することができる。Nチャネル FET M202 は、Pチャネル FET M104e および Nチャネル FET M106e に接続されている。

【0179】(第 13 の実施形態) 図 17 は、本発明の第 13 の実施形態に係る演算増幅器の構成を示す回路図である。図 17 において、前記第 12 の実施形態の構成を示す図である図 16 の要素と同一又は対応する要素には、同一の参照符号を付して、その詳細な説明を省略する。

【0180】第 13 の実施形態において、前記第 12 の実施形態と相違する点は、前記 Nチャネル FET M202 の代わりに、Pチャネル FET M203 が設けられている点である。Pチャネル FET M66e と、Pチャネル FET M203 とは、電流ミラー回路を構成している。これは、出力段 K3 に、安定したアイドリング電流を流すためであり、そのため、前記第 5 の実施形態における定電流源用 Pチャネル FET M70 を省略することができる。Pチャネル FET M203 は、Pチャネル FET M103e および Nチャネル FET M107e に接続されている。

【0181】前記第 1 ～第 13 の実施形態では、トランジスタとして、FET を用いたが、FET に代えてバイポーラトランジスタを用いてもよい。Nチャネル FET は、NPN バイポーラトランジスタに代え、Pチャネル FET は、PNP バイポーラトランジスタに代えることができる。

【0182】この構成で、演算増幅器としての機能としては FET の場合もバイポーラトランジスタの場合も差がないため、演算増幅器としての基本的な動作は前記第

1 ～第 13 の実施形態と同様となる。一般的にバイポーラトランジスタの方が FET に比べ相互コンダクタンスが大きいので、前記第 1 ～第 13 の実施形態よりも利得を大きくすることができる。このため、高精度の演算増幅器が得られる。また、一般的にバイポーラトランジスタの方が FET に比べ相互コンダクタンスが大きいので、立ち下がり時間は FET の場合に比べ小さくなる可能性がある。

【0183】

【発明の効果】本発明の演算増幅器によれば、入力信号にตอบสนองして出力信号を出力する出力段部を備えた演算増幅器であって、前記出力段部は、前記入力信号に基づいて生成される複数の特定信号のそれぞれにตอบสนองしてプッシュプル動作を行い、前記プッシュプル動作の結果として前記出力信号を生成する複数の出力段トランジスタを有し、前記複数の特定信号は、前記複数の出力段トランジスタのそれぞれに入力されるまでの遅延時間が同じ信号として生成されるため、オーバーシュートやアンダーシュートの発生を最小限に抑えることのできる等の、安定した動作を行うことができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 2】本発明の第 2 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 3】本発明の第 3 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 4】本発明の第 4 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 5】本発明の第 5 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 6】本発明の第 6 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 7】本発明の第 7 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 8】本発明の第 8 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 9】本発明の第 9 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 10】従来の演算増幅器の回路構成を示す図である。

【図 11】本発明の第 1 の実施形態に係る演算増幅器および従来の演算増幅器のそれぞれの出力波形を示すグラフ図である。

【図 12】図 11 の一部の拡大をした図であり、従来の演算増幅器で検出されたアンダーシュートが、第 1 の実施形態の演算増幅器では検出されない状態を示す図である。

【図 13】図 11 の一部の拡大をした図であり、従来の演算増幅器および第 1 の実施形態の演算増幅器で、オー

バーシユートが検出されない状態を示す図である。

【図 14】本発明の第 10 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 15】本発明の第 11 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 16】本発明の第 12 の実施形態に係る演算増幅器の回路構成を示す図である。

【図 17】本発明の第 13 の実施形態に係る演算増幅器の回路構成を示す図である。

【符号の説明】

1 信号入力端子
2 信号入力端子
3 出力信号端子
4 低位側電源端子
5 高位側電源端子
A1 入力段出力端子
A3 入力段バイアス入力端子
A4 入力段バイアス入力端子
A5 駆動段バイアス入力端子
B1 出力段バイアス入力端子
B2 出力段バイアス入力端子
B3 出力段バイアス入力端子
B4 出力段バイアス入力端子
K1 入力段（入力段部）
K2 駆動段（出力段部）
K3 出力段（出力段部）
M1 PチャネルFET
M2 PチャネルFET
M3 NチャネルFET
M4 NチャネルFET
M5 NチャネルFET
M6 NチャネルFET
M7 PチャネルFET
M8 PチャネルFET
M9 NチャネルFET
M10 NチャネルFET
M20 PチャネルFET
M21 PチャネルFET
M22 PチャネルFET
M23 PチャネルFET
M24 NチャネルFET
M41 定電流源用PチャネルFET
M42 定電流源用NチャネルFET
M43 定電流源用NチャネルFET
M44 定電流源用NチャネルFET
M51 PチャネルFET
M51a 一の出力端
M51b NチャネルFET
M51e NチャネルFET
M52 PチャネルFET

M52a 他の出力端
M52b NチャネルFET
M52e NチャネルFET
M53 NチャネルFET
M53b PチャネルFET
M53e PチャネルFET
M54 NチャネルFET
M54b PチャネルFET
M54e PチャネルFET
10 M55 NチャネルFET
M55a 他の出力端
M55b PチャネルFET
M55e PチャネルFET
M56 NチャネルFET
M56a 一の出力端
M56b PチャネルFET
M56e PチャネルFET
M57 PチャネルFET
M57b NチャネルFET
20 M57e NチャネルFET
M58 PチャネルFET
M58b NチャネルFET
M58e NチャネルFET
M59 NチャネルFET
M59b PチャネルFET
M59e PチャネルFET
M60 NチャネルFET
M60b PチャネルFET
M61 PチャネルFET
30 M61b NチャネルFET
M62 PチャネルFET
M62b NチャネルFET
M63 PチャネルFET（生成トランジスタ）
M63b NチャネルFET（生成トランジスタ）
M64 PチャネルFET（生成トランジスタ）
M64b NチャネルFET（生成トランジスタ）
M65 PチャネルFET（出力段トランジスタ）
M65b NチャネルFET（出力段トランジスタ）
M65e NチャネルFET（出力段トランジスタ）
40 M66 NチャネルFET（出力段トランジスタ）
M66b PチャネルFET（出力段トランジスタ）
M66e PチャネルFET（出力段トランジスタ）
M67 定電流源用NチャネルFET
M67b 定電流源用PチャネルFET
M68 定電流源用NチャネルFET
M68b 定電流源用PチャネルFET
M69 定電流源用NチャネルFET
M69b 定電流源用PチャネルFET
M70 定電流源用NチャネルFET
50 M70a 定電流源用PチャネルFET

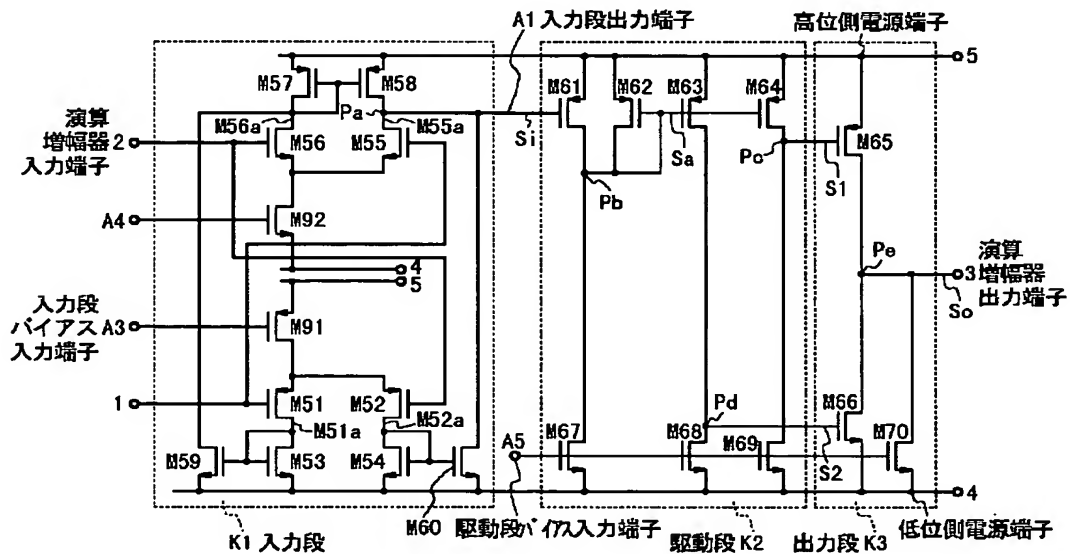
41

M70b 定電流源用PチャネルFET
 M70c 定電流源用NチャネルFET
 M77 定電流源用NチャネルFET
 M77a 定電流源用NチャネルFET (第6の定電流源)
 M78 定電流源用PチャネルFET
 M78a 定電流源用PチャネルFET (第7の定電流源)
 M91 定電流源用PチャネルFET
 M92 定電流源用NチャネルFET
 M101 PチャネルFET
 M101e NチャネルFET
 M102 NチャネルFET
 M102e PチャネルFET
 M103 NチャネルFET
 M103e PチャネルFET
 M104 NチャネルFET
 M104e PチャネルFET
 M106 定電流源用PチャネルFET
 M106e 定電流源用NチャネルFET
 M107 定電流源用PチャネルFET

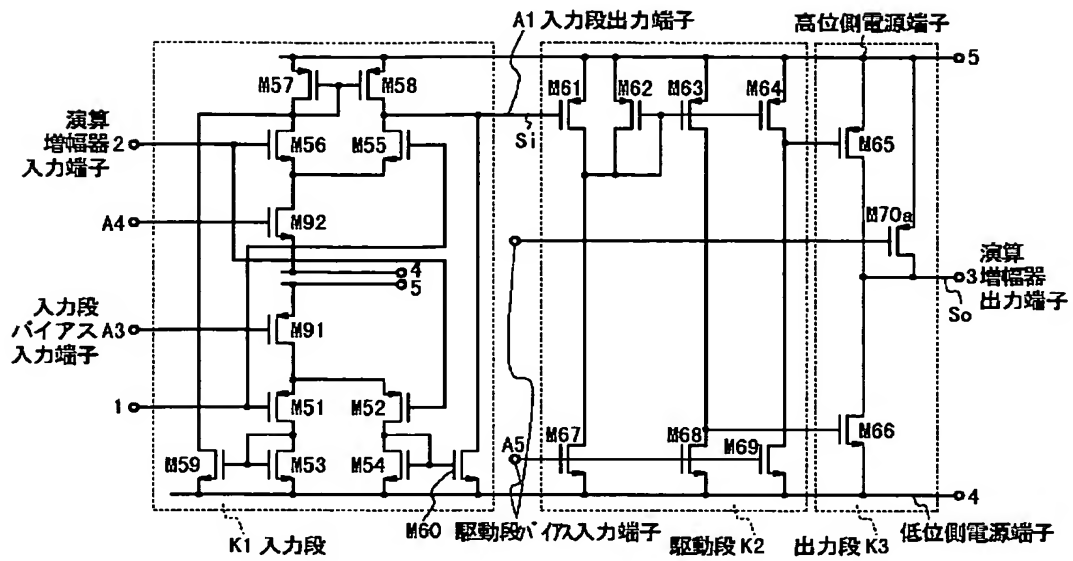
42

M107e 定電流源用NチャネルFET
 M200 PチャネルFET
 M201 NチャネルFET
 M202 NチャネルFET
 M203 PチャネルFET
 Pa 接続点
 Pb 接続点
 Pc 接続点
 Pd 接続点
 Pe 接続点
 Pg 入力端
 Ph 出力端
 Pk 接続点
 Pj 接続点
 S1 第1の特定信号
 S2 第2の特定信号
 Sa 単一の信号
 Si 入力信号 (入力段出力信号)
 So 出力信号
 US アンダーシュート
 OS オーバーシュート

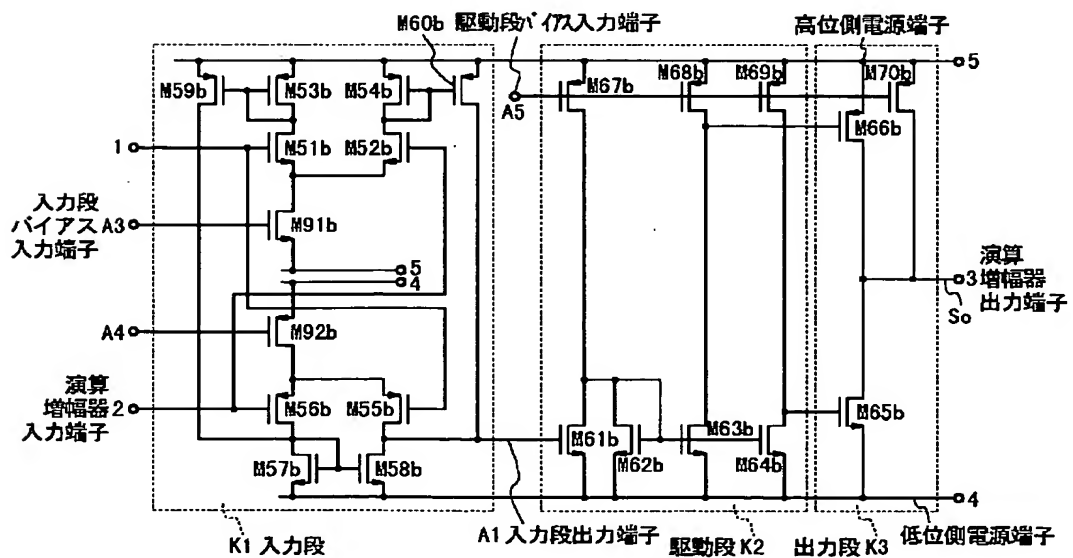
【図1】



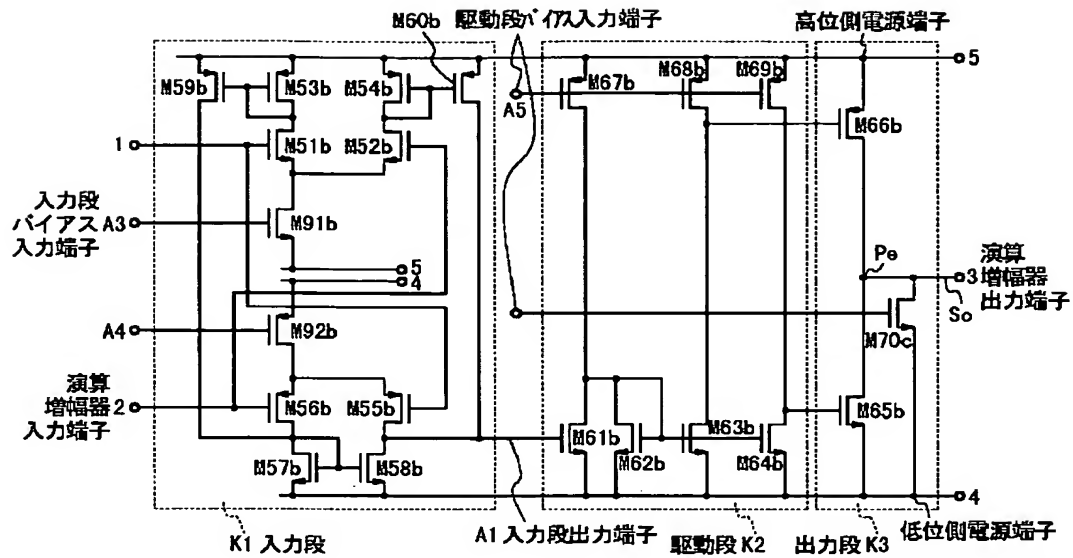
【図 2】



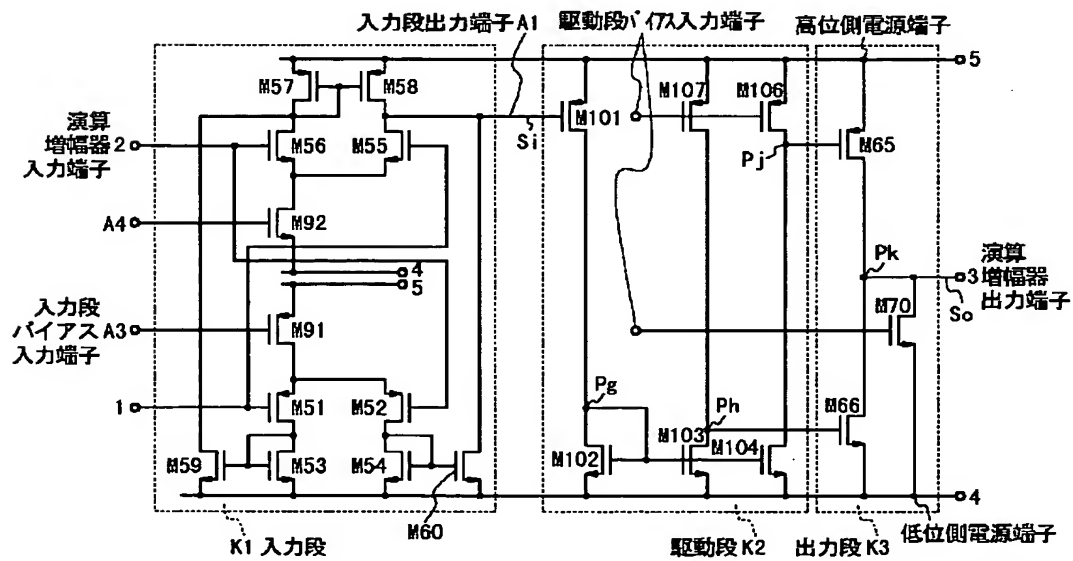
【図 3】



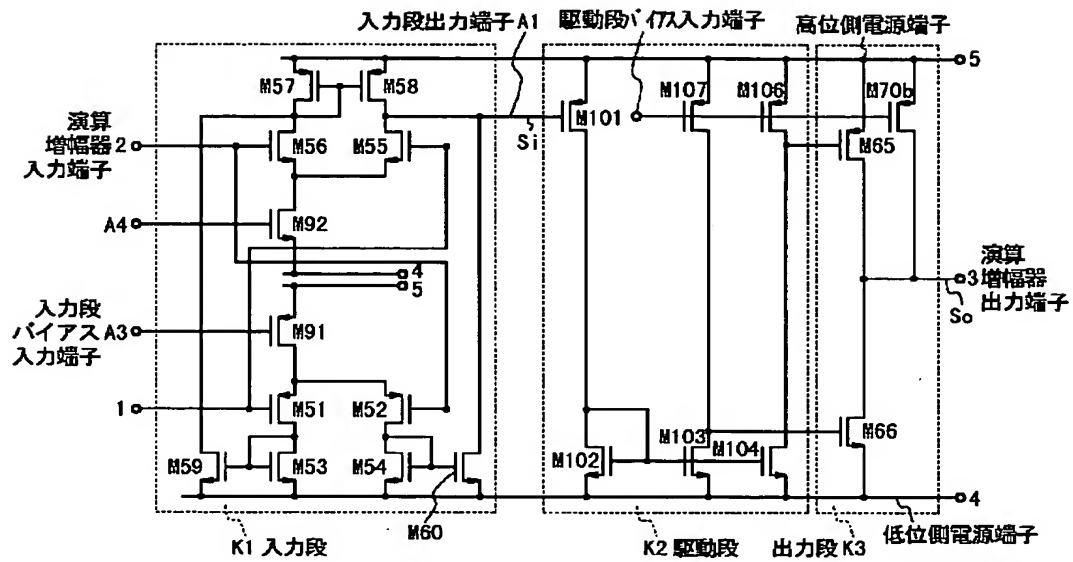
【図 4】



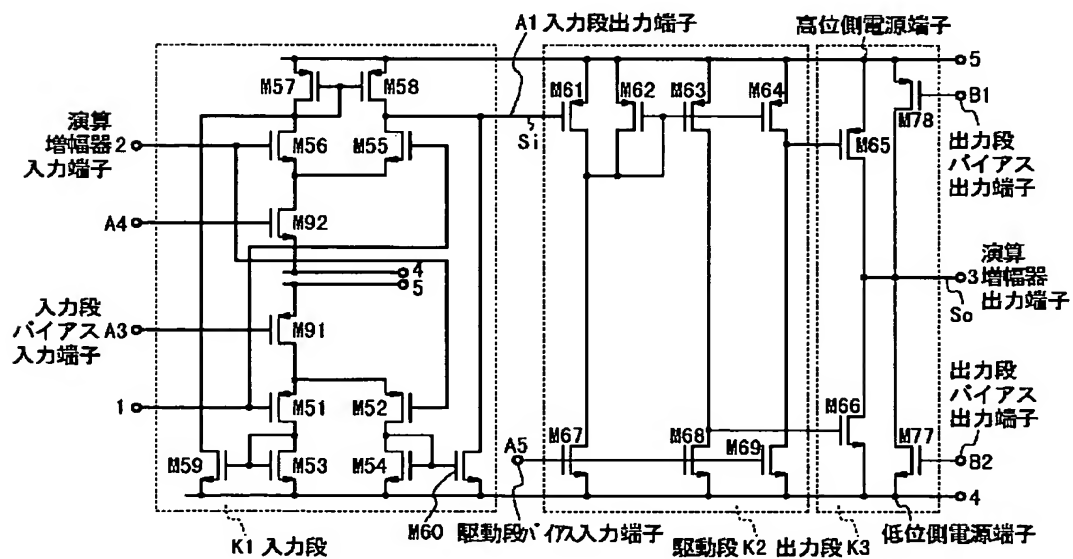
【図 5】



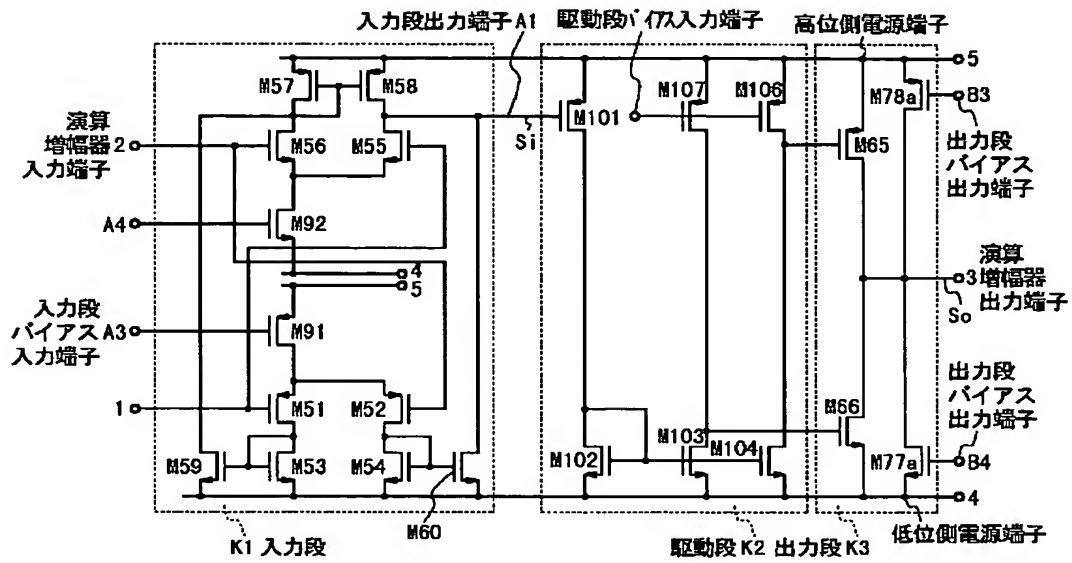
【図 6】



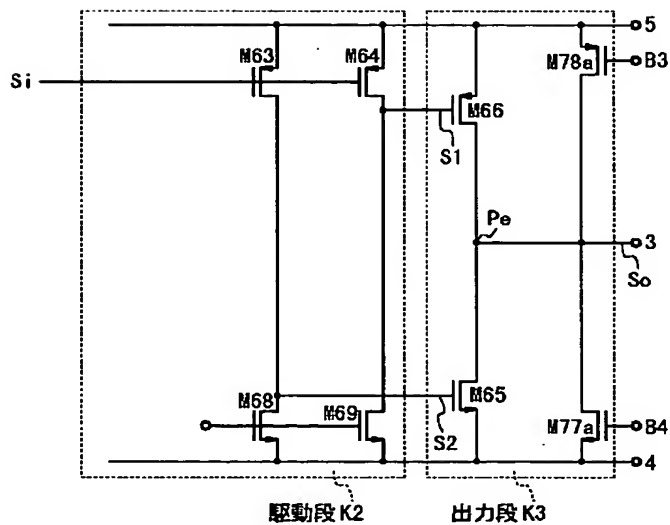
【図 7】



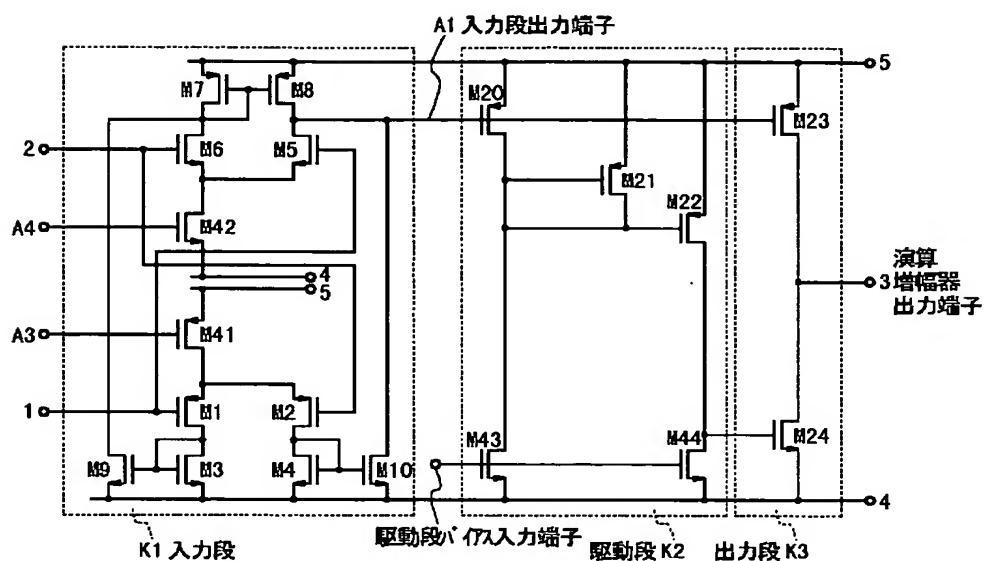
【図 8】



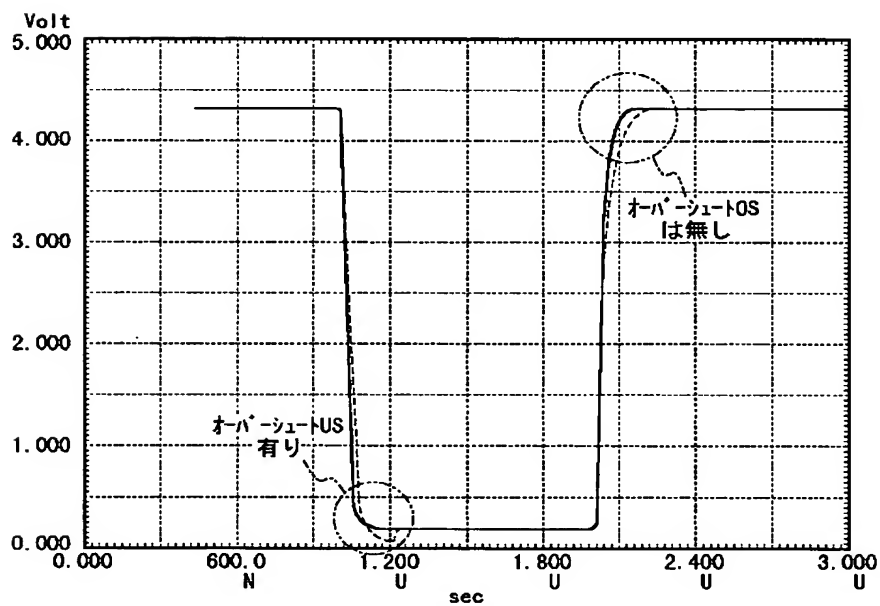
【図 9】



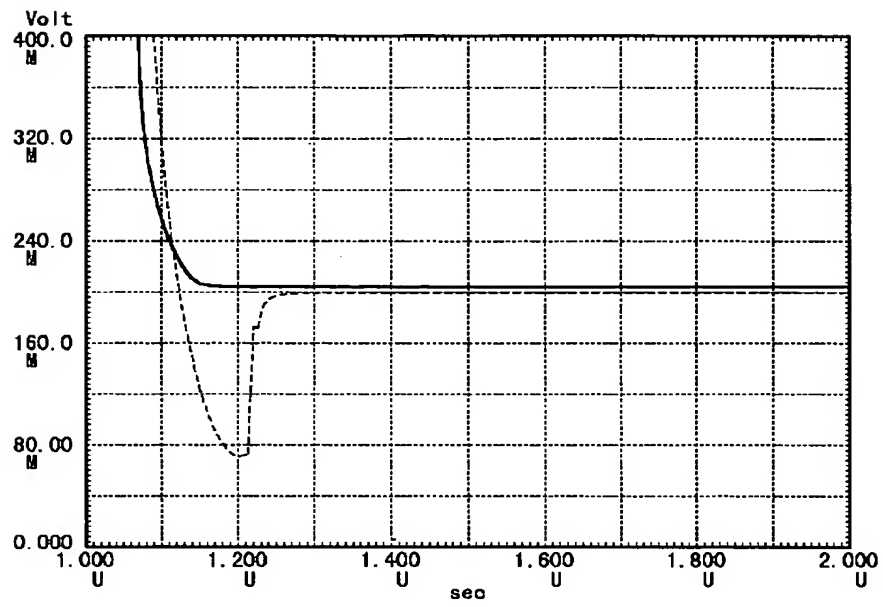
【図10】



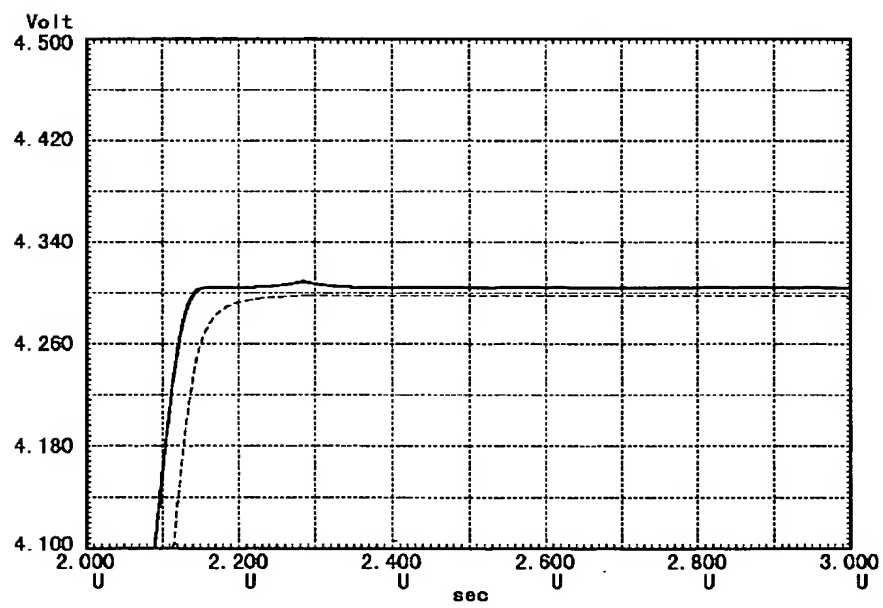
【図11】



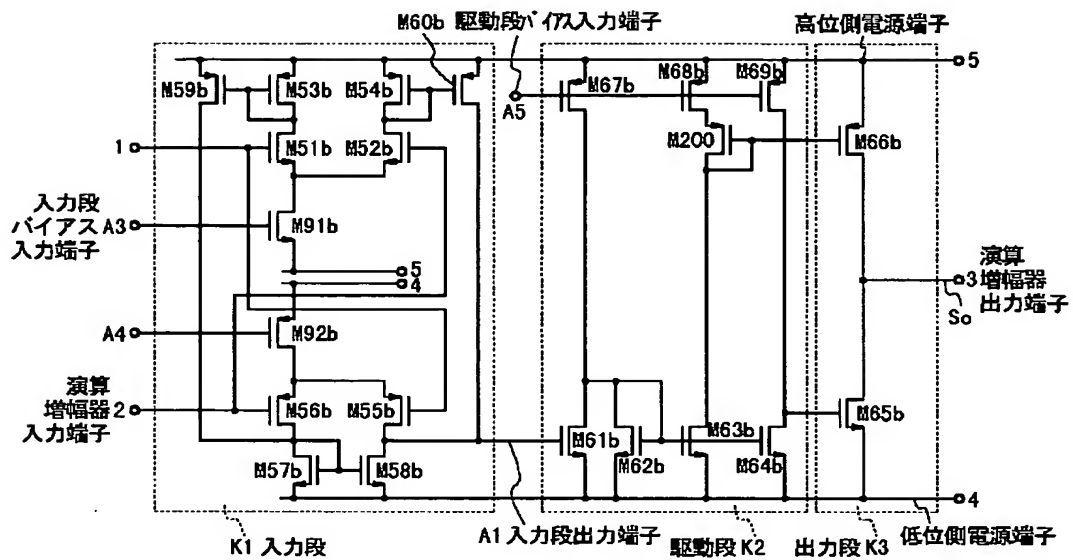
【図 12】



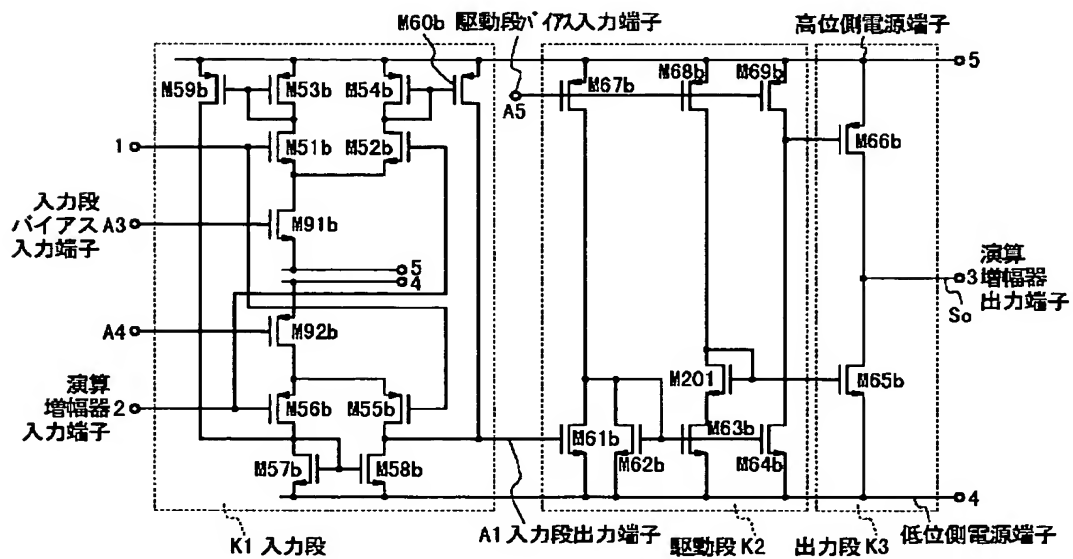
【図 13】



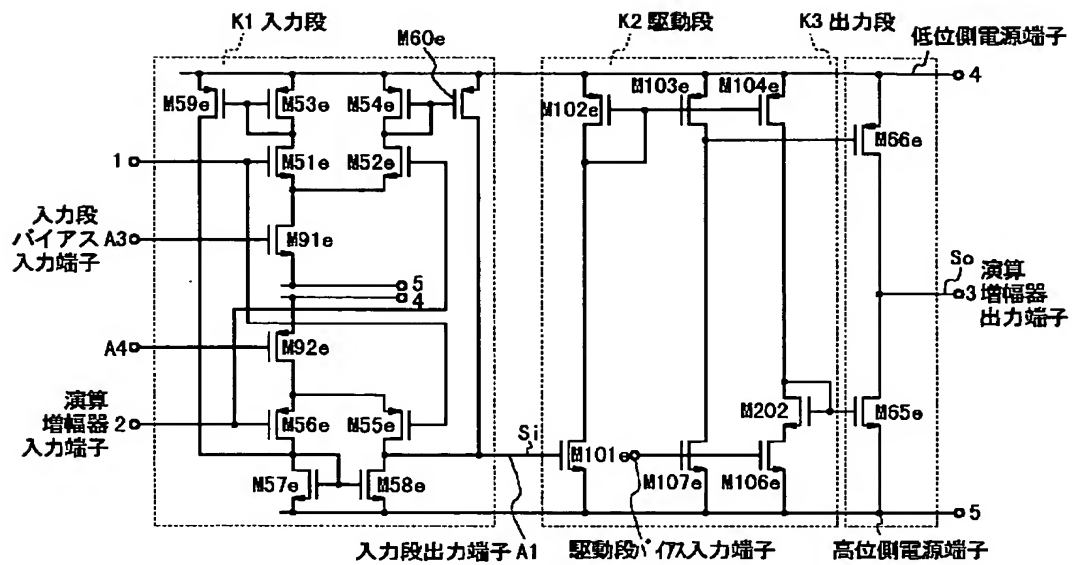
【図 14】



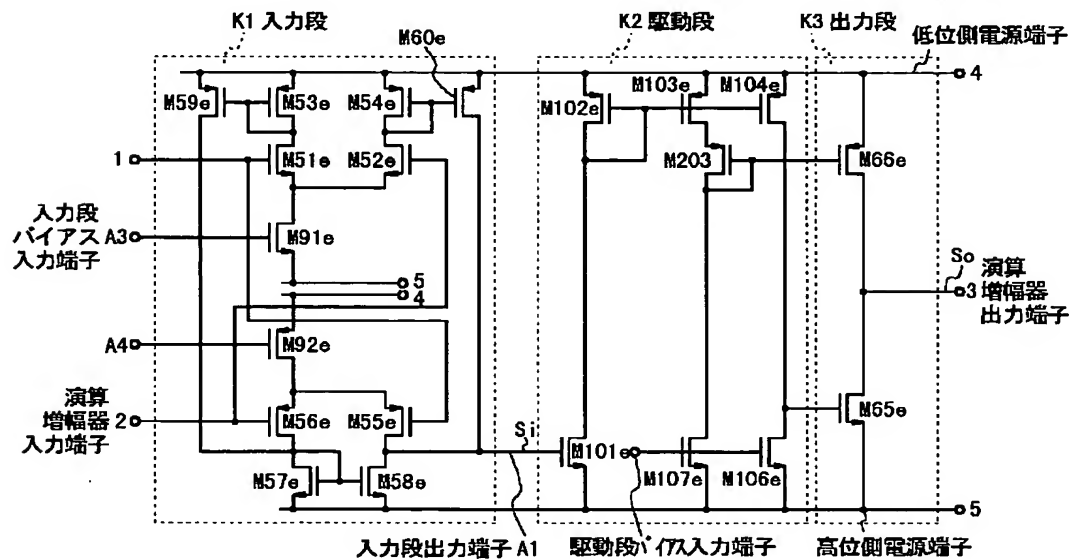
【図 15】



【図16】



【図17】



フロントページの続き

Fターム(参考) 5J066 AA12 AA18 AA44 AA47 CA23
 CA44 CA82 FA12 HA17 KA01
 KA02 KA10 MA23 MD03 ND04
 ND24 SA08 TA01 TA02
 5J091 AA12 AA18 AA44 AA47 CA23
 CA62 CA82 HA17 KA01 KA10
 MA23 SA08 TA01 TA02